

# Resum

El present projecte dona resposta a la necessitat de sincronitzar múltiples convertidors de potència en un entorn local per aplicacions varies, tal com, filtres actius de xarxa, control motors elèctrics... Així doncs, l'objectiu del projecte és desenvolupar un programari, basat en l'estàndard IEEE 1588, que permeti sincronitzar els senyals de porta dels interruptors dels convertidors distribuïts en un entorn local. És important destacar que el sistema *software* de sincronització dissenyat es pot aplicar a qualsevol sistema electrònic amb necessitats de sincronització, encara que, aquest projecte s'enfoqui a la sincronització dels senyals de porta de convertidors.

La metodologia seguida s'ha basat en l'estudi de les alternatives de sincronització existents, així com, el sistema que dona resposta a les necessitats de sincronització, en aquest cas, l'estàndard IEEE 1588. A partir d'aquí, s'ha desenvolupat el programari agafant conceptes i metodologies de l'estàndard IEEE 1588, però també aportant-ne de nous. Un cop definit tot allò que el programari ha de realitzar, s'ha dissenyat i implementat el codi en llenguatge C. A partir d'aquí s'ha posat a prova el sistema, arribant a precisions de poques desenes de nanosegons, totalment admissibles per senyals de control de porta on les freqüències són del ordre de quilo-hertz. Cal dir que el sistema és totalment escalable, permetent introduir nous convertidors a sincronitzar en temps real.

Finalment, és important destacar que, com tot sistema *software*, el programari implementat funciona sobre un entorn *hardware*. El sistema *hardware* del projecte es pot dividir en dues parts: per un costat una placa de circuit imprès equipada amb un microprocessador, el qual processarà el codi de sincronització; i una placa de sensat de tensions i corrents de xarxa. Aquesta última placa posa de manifest l'aplicació en concret a la qual s'aplica el sistema de sincronització, la qual es basa en la sincronització de múltiples convertidors que formen un filtre actiu de xarxa en un entorn local. En aquest projecte en desenvolupa el programari de sincronització tant per mode mestre com esclau i la placa de sensat de tensions i corrents de xarxa, tot, inclòs en una equip de control general.



# Índex

<b>Resum</b>	<b>1</b>
<b>Glossari</b>	<b>9</b>
<b>Prefaci</b>	<b>11</b>
Origen del projecte . . . . .	11
Motivació . . . . .	11
<b>Introducció</b>	<b>13</b>
Objectius del projecte . . . . .	13
Abast del projecte . . . . .	14
<b>1 Problemàtica i situació desitjada</b>	<b>15</b>
1.1 Situació actual . . . . .	15
1.2 Situació futura desitjada . . . . .	16
<b>2 Descripció i tria d'alternatives</b>	<b>19</b>
2.1 Definició de les alternatives <i>software</i> . . . . .	19
2.2 Definició de les alternatives <i>hardware</i> . . . . .	20
<b>3 Descripció, disseny i implementació del <i>hardware</i></b>	<b>21</b>
3.1 Introducció . . . . .	21
3.2 Descripció de la placa de control <i>Neo</i> . . . . .	22
3.2.1 Microprocessador <i>Concerto</i> F28M36x . . . . .	23
3.2.2 Mòdul d'adaptacions dels senyals analògics . . . . .	24
3.2.3 Capa física del <i>Ethernet</i> . . . . .	24
3.2.4 Alimentacions generals del sistema . . . . .	24
3.3 Disseny i implementació de la placa de sensat . . . . .	24
3.3.1 Introducció . . . . .	24

3.3.2	Anàlisi de les característiques dels senyals a mesurar . . . . .	24
3.3.3	Elecció de les sondes de tensió i corrent . . . . .	25
3.3.4	Càlcul i dimensionat de l'alimentació de la placa . . . . .	29
3.3.5	Càlcul i dimensionat del sistema de dissipació de calor . . . . .	30
3.3.6	Disseny de la placa de sensat amb el programari Altium . . . . .	31
<b>4</b>	<b>Estàndard IEEE 1588</b>	<b>33</b>
4.1	Introducció . . . . .	33
4.2	Història de l'estàndard IEEE 1588 . . . . .	33
4.3	Model de sincronització de rellotges . . . . .	34
4.3.1	General . . . . .	34
4.3.2	Sistemes PTP . . . . .	34
4.3.3	Tipus de missatges PTP . . . . .	34
4.3.4	Tipus de dispositius PTP . . . . .	35
4.3.5	Sincronització PTP . . . . .	40
4.4	Deriva, temps de residència i correccions d'asimetria . . . . .	43
4.4.1	Computació de la deriva en rellotges ordinaris i de frontera . . . . .	44
4.4.2	Mecanisme de petició-resposta del retard . . . . .	44
4.4.3	Mecanisme del retard d'igual a igual (P2P) . . . . .	45
4.4.4	Correccions de temps de residència en rellotges transparents . . . . .	46
4.4.5	Correccions d'asimetries . . . . .	46
<b>5</b>	<b>Disseny i implementació del programari basat en IEEE 1588</b>	<b>47</b>
5.1	Introducció . . . . .	47
5.2	Versió de l'estàndard IEEE 1588 implementada . . . . .	48
5.2.1	Concepte de rellotge intern . . . . .	49
5.2.2	Sistema d'ajust de rellotges . . . . .	50
5.3	Implementació del sistema de sincronització al nucli Cortex M3 . . . . .	56
5.3.1	Fitxer principal . . . . .	57
5.3.2	Protocol PTP . . . . .	57
5.3.3	Interfície <i>Sockets Raw Ethernet</i> . . . . .	59
5.3.4	Interfície <i>Sockets UDP/IP</i> . . . . .	60
5.3.5	EMACCEA . . . . .	61
5.4	Funcionament general del nucli M3 . . . . .	64
5.4.1	Inicialització del sistema . . . . .	64
5.4.2	Funcionament general del sistema en mode mestre i esclau . . . . .	65
5.5	Sistema de sincronització al nucli C28 . . . . .	68
5.6	Funcionament general del nucli C28 . . . . .	71



<b>6</b>	<b>Proves del sistema</b>	<b>73</b>
6.1	Proves del sistema de sincronització	73
6.1.1	Sincronització entre el rellotge intern i el PWM	73
6.1.2	Sincronització entre mestre i esclau amb <i>Raw Ethernet</i>	74
6.1.3	Sincronització entre mestre i tres esclaus amb <i>Raw Ethernet</i>	75
6.2	Proves del sistema de sensat	79
<b>7</b>	<b>Impacte mediambiental</b>	<b>81</b>
7.1	Directiva RAEE	81
7.2	Directiva RoHS	81
7.3	Anàlisi de l'Impacte Ambiental del projecte	82
<b>8</b>	<b>Estudi econòmic</b>	<b>83</b>
8.1	Recursos humans	83
8.2	Recursos materials	83
8.3	Recursos de I+D	84
8.4	Cost total del projecte	84
	<b>Conclusions</b>	<b>85</b>
	Tasques realitzades i conclusions	85
	Línies futures	85
	<b>Agraïments</b>	<b>87</b>
	<b>Bibliografia</b>	<b>90</b>
<b>A</b>	<b>Càlculs justificatius del <i>hardware</i></b>	<b>91</b>
A.1	Càlculs de la placa de sensat	91
A.1.1	Càlcul de l'alimentació de 24/12 V	91
A.1.2	Càlcul de l'alimentació de 24/-12 V	95
A.1.3	Càlcul de les sol·licitacions tèrmiques de la placa	101
A.2	Càlculs de la placa de control	103
A.2.1	Descripció i càlcul de l'etapa d'adaptació dels senyals analògics	103
<b>B</b>	<b>Detalls del protocol PTP</b>	<b>111</b>
B.1	Introducció	111
B.2	Quantificació dels temps en el IEEE 1588	111
B.2.1	Introducció	111
B.2.2	Quantificació del temps amb el mecanisme de petició-resposta del retard	111
B.2.3	Quantificació del temps amb mecanisme d'igual a igual (P2P)	121

<b>C</b>	<b>Estudi d'una implementació IEEE 1588</b>	<b>125</b>
C.1	Introducció . . . . .	125
C.2	Organització del codi . . . . .	125
C.3	Servo Relotge . . . . .	126
C.3.1	Filtres d'entrada . . . . .	128
C.3.2	Controlador PI . . . . .	129
<b>D</b>	<b>Descripció general de les comunicacions</b>	<b>131</b>
D.1	Introducció . . . . .	131
D.2	Model de referència de capes OSI . . . . .	131
D.3	Dispositius d'una xarxa de comunicacions . . . . .	132
D.3.1	Hubs . . . . .	132
D.3.2	Switches . . . . .	133
D.3.3	Routers . . . . .	137
D.4	Topologia de xarxes . . . . .	137
D.5	Descripció dels protocols de comunicació compatibles amb PTP . . . . .	139
D.5.1	Introducció . . . . .	139
D.5.2	IEEE 802.3 . . . . .	139
D.5.3	UDP/IPv4 . . . . .	142
<b>E</b>	<b>Descripció del <i>software</i> del Concerto</b>	<b>145</b>
E.1	Introducció . . . . .	145
E.2	Pila TCP/IP lwIP . . . . .	147
E.2.1	Introducció . . . . .	147
E.2.2	Implementació del lwIP . . . . .	148
E.2.3	Interacció del lwIP i el PTPd . . . . .	148
E.3	Sistema Operatiu en Temps Real (RTOS) . . . . .	149
E.3.1	Introducció . . . . .	149
E.3.2	Mòduls del RTOS . . . . .	149
E.3.3	<i>Network Developer's Kit</i> (NDK) . . . . .	150
<b>F</b>	<b>Descripció del controlador i filtre del sistema</b>	<b>153</b>
F.1	Principi del sistema de control dels rellotges . . . . .	153
F.1.1	Model del sistema de control . . . . .	153
F.1.2	Sintonització del controlador . . . . .	155
F.1.3	Simulació del sistema de control . . . . .	156
F.2	Principi del sistema de filtrat del retard . . . . .	158

F.2.1	Definició del sistema de filtrat . . . . .	158
F.2.2	Sintonització del filtre . . . . .	159



# Glossari

## Termes

*Broadcast*: És un mètode de comunicació que permet l'enviament d'un missatge a tots els dispositius d'una xarxa.

*Multicast*: És un mètode de comunicació que permet l'enviament d'un missatge a un conjunt de dispositius de la xarxa.

*Raw Ethernet*: És una tipus de comunicació que només utilitza el protocol IEEE 802.3 per establir una comunicació.

*Unicast*: És un mètode de comunicació que permet l'enviament d'un missatge a un dispositiu concret de la xarxa.

*Esclau*: En el context de la sincronització IEEE 1588, és el dispositiu que es sincronitza amb el mestre del sistema.

*Mestre*: En el context de la sincronització IEEE 1588, és el dispositiu que aporta la referència temporal de tot el sistema.

*Port lògic*: Zona de la memòria d'un dispositiu associada a un canal de comunicació.

## Acrònims

*I<sup>2</sup>C*: *Inter-Integrated Circuit*

*ADC*: *Analog-To-Digital Converter*

*AO*: *Amplificador Operacional*

*ARP*: *Address Resolution Protocol*

*BMC*: *Best Master Clock*

*CAN*: *Control Area Network*

*CITCEA-UPC*: Centre d'Innovació Tecnològica en Convertidors Estàtics i Accionaments

*CRC*: *Cyclic Redundancy Check*

*CSMA/CD*: *Carrier Sense Multiple Access with Collision Detection*

*DHCP*: *Dynamic Host Configuration Protocol*

*E2E*: *End-to-End*

*FIFO*: *First In First Out*

GPIO: *General Purpose Input Output*  
GPS: *Global Position System*  
ICMP: *Internet Control Message Protocol*  
IGMP: *Internet Group Management Protocol*  
IP: *Internet Protocol*  
IPC: *Inter Processor Communication*  
LP FIR: *Lowpass Finite Impulse Response*  
LP IIR: *Lowpass Infinite Impulse Response*  
LSB: *Least Significant Bit*  
MAC: *Media Access Control*  
MOSFET: *Metal Oxide Semiconductor Field Effect Transistor*  
NDK: *Network Development Kit*  
NIMU: *Network Interface Management Unit*  
NTP: *Network Time Protocol*  
P2P: *Peer-to-peer*  
PHY: *Physical Layer*  
PLL: *Phase Lock Loop*  
PPM: *Part Per Milió*  
PPP: *Point-to-Point Protocol*  
PPS: *Pols per Segon*  
PTP: *Precision Time Protocol*  
PWM: *Pulse-Width Modulation*  
RTOS: *Real Time Operating System*  
SERCOS: *Serial Real-Time Communication System*  
SOC: *Start of Conversion*  
SPI: *Serial Peripheral Interface*  
SSI: *Synchronous Serial Interface*  
TCP: *Transport Control Protocol*  
TI: *Texas Instruments*  
TTP: *Time-Triggered Protocol*  
UART: *Universal Asynchronous Receiver-Transmitter*  
UDP: *User Datagram Protocol*  
USB OTG: *Universal Serial Bus On-The-Go*  
USB: *Universal Serial Bus*

# Prefaci

## Origen del projecte

La demanda creixent d'energia elèctrica ha originat una necessitat d'innovació de tots els dispositius que conformen la xarxa elèctrica o interactuen amb ella. A partir d'aquí, gràcies als avenços en electrònica de potència ha sorgit el concepte de convertidor estàtic d'energia. Aquest dispositiu permet variar les propietats de l'energia elèctrica en aplicacions diverses per fer un ús més òptim de la mateixa.

Aquests convertidors estàtics, es poden trobar a qualsevol indret de la xarxa elèctrica, des de subestacions amb grans convertidors AC-DC, en línies de molt alta tensió en continua o, fins al carregador del mòbil.

Si es focalitza el punt de vista als convertidors de gran potència, es detecta una problemàtica com grans pesos, volums, dificultats constructives, alts costos, entre altres. A partir d'aquí, sorgeix el concepte de convertidor modular, el qual, es basa en disposar d'una sèrie de convertidors de potència menor, que sumats equivalen a un convertidor de potència elevada.

Així doncs, es necessari disposar d'un sistema que permeti sincronitzar tots aquests convertidors modulars, de forma que commutin els seus interruptors de forma síncrona.

Paral·lelament a la problemàtica anterior, i lligat als convertidors estàtics i l'eficiència energètica, sorgeix el concepte de xarxes elèctriques intel·ligents. Aquestes xarxes, es basen en la incorporació de l'electrònica per controlar una xarxa elèctrica altament complexa, amb generacions i consums distribuïts. En aquest punt, també es detecta la necessitat de coordinar tots els elements que conformen la xarxa intel·ligent en termes d'esdeveniments, alarmes, maniobres, entre altres.

A partir de tota la problemàtica anterior, sorgeix la necessitat d'un sistema de sincronització que permeti establir una referència temporal comuna en un sistema distribuït de dispositius.

## Motivació

Avui dia, la sincronització dels convertidors de potència es basa en un sistema directe de sincronització basada en fibra òptica, molt poc flexible i amb un rendiment que cau de forma molt elevada amb la distància entre convertidors. A més, aquest sistema no permet sincronitzar convertidors que estiguin situats en un entorn no local, fet que limita molt el sistema.

D'aquí surt la necessitat de dissenyar i implementar un sistema de sincronització flexible, precís, escalable i que pugui treballar en entorns locals o no, sincronitzant convertidors modulars.

A més, el concepte de xarxa intel·ligent ha fet sorgir la necessitat de comunicar i coordinar tots els elements d'una xarxa pel correcte funcionament. Així, apareix l'estàndard IEC 65850, el qual, defineix com comunicar tots els dispositius d'una xarxa. Ara bé, si es volen coordinar tots aquests dispositius s'ha de disposar d'un sistema de sincronització per coordinar esdeveniments, alarmes, maniobres, entre d'altres.

D'aquesta forma el projecte sorgeix de múltiples necessitats en el món dels convertidors i les xarxes elèctriques intel·ligents encara que el present projecte es dugui a terme per una aplicació molt concreta.



# Introducció

El present projecte sorgeix de la necessitat d'establir un mètode per sincronitzar els senyals de porta de convertidors de potència distribuïts en un entorn local. El terme convertidor de potència és un terme molt genèric que pot tenir múltiples aplicacions com filtres actius de xarxa, control de motors, convertidors DC/DC en xarxes d'alta tensió... La sincronització d'aquests convertidors permet evitar problemes d'estabilitat en xarxa, a causa de injeccions de potència de múltiples convertidors, en instant de temps diferents.

En el projecte es donarà resposta a la problemàtica anterior, implementant un programari i un *hardware* que duguin a terme la funció de sincronitzar els senyals de porta aplicats a un sistema de filtres actius de xarxa modulars.

## Objectius del projecte

L'objectiu del projecte és dissenyar un sistema de sincronització dels senyals de porta de convertidors modulars i aplicar-lo a un cas concret. Els objectius derivats del objectiu principal es poden veure a continuació:

- Estudiar tots els protocols i estàndards existents de sincronització de rellotges en un entorn local i seleccionar-ne un.
- Seleccionar i completar totes aquelles parts que s'utilitzaran del protocol escollit en el disseny del programari.
- Estudiar tots els conceptes bàsics de comunicacions del sistema de sincronització, així com, una implementació del mateix.
- Programar un *software* de sincronització en un microprocessador de doble nucli ARM i DSP que compleixi amb les especificacions inicials.
- Aplicar el sistema de sincronització a un cas real dissenyant un equip de control d'un conjunt de filtres actius de xarxa.
- Aprendre a dissenyar una placa de circuit imprès amb un *software* de CAD electrònic per aquest fi.
- Dissenyar i implementar la placa de sensat de tensions i corrents de xarxa per l'aplicació en concret que compleixi les especificacions inicials.

## Abast del projecte

A la figura 1 es pot veure l'objectiu principal del projecte (color gris), en relació amb tot allò desenvolupat en el projecte per poder-lo assolir (color verd i taronja). També s'ha referenciat cada acció desenvolupada amb la documentació generada a partir d'aquesta en el projecte (color blau amb indicació d'ocupació respecte la globalitat del projecte). Cal destacar, que tot allò descrit en color verd són requisits previs per desenvolupar el projecte però que no generen valor mentre que el color taronja sí.

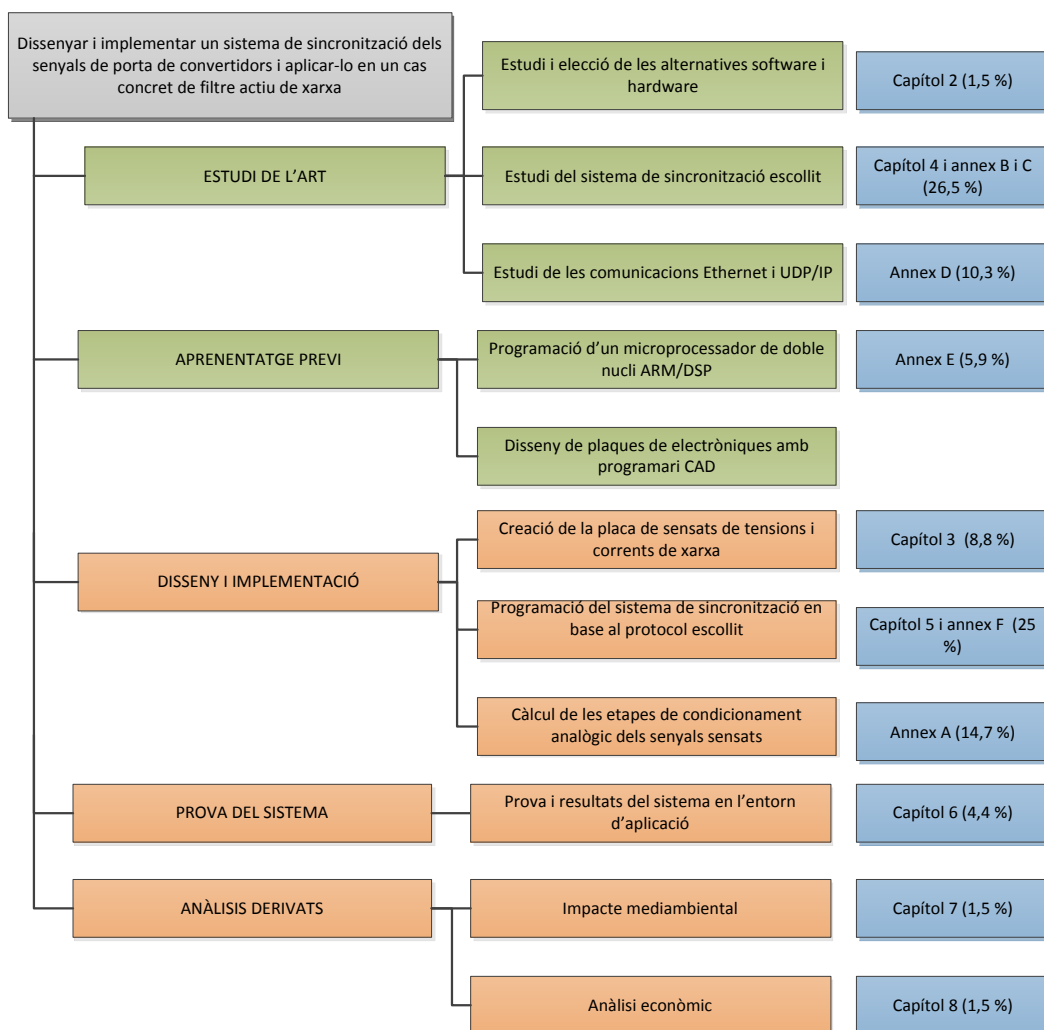


Figura 1: Definició de l'abast del projecte en relació a l'objectiu principal del projecte i la documentació generada (capítols i annexes)

Cal dir, que queda fora de l'abast del projecte el disseny de la placa de circuit imprès equipada amb el microprocessador que processarà el codi de sincronització. D'igual forma tampoc es realitzarà l'enviament de les mesures de tensions i corrents als convertidors modulars.

## Capítol 1

# Problemàtica i situació desitjada

En aquest capítol, es descriurà el sistema de sincronització utilitzat actualment pels senyals de porta de convertidors i la situació futura desitjada en la finalització del present projecte. Serà de vital importància, descriure les especificacions dels sistemes de sincronització actuals i les especificacions i requisits que s'exigiran en la situació futura. D'aquesta forma, en la finalització del projecte es podran comparar els resultats obtinguts amb els requeriments plantejats en aquest capítol per descobrir si s'han assolit els objectius del projecte.

### 1.1 Situació actual

Els sistemes actuals de sincronització dels senyals de porta es basen en un sistema, no estandarditzat, on s'interconnecten els diversos dispositius a través de fibra òptica per la qual viatja el senyal de sincronisme. El sistema disposa d'un dispositiu mestre, la base de temps del qual serà la base de temps de referència per a la resta (esclaus). Aquests esclaus, es connecten en cascada de forma que disposen d'una entrada i una sortida de sincronisme per enviar-la al pròxim esclau (veure figura 1.1). Aquest sistema és altament rígid i difícil perquè dificulta molt el cablejat i és complicat introduir variacions de topologia dels sistemes a sincronitzar. L'avantatge principal d'aquest sistema, és l'alta velocitat de transmissió de la fibra òptica i les altes precisions a les quals s'arriba.

A la taula 1.1 es poden veure les característiques principals d'aquest sistema de sincronització, extretes del sistema comercial HFBR-X521Z.

Característica	Especificació
Entorn d'aplicació	Local
Velocitat de transmissió	5 Mbps
Longitud màxima	30 m
Precisió (0,5 m)	150 ns
Retard intrínsec al sistema	12 ns
Modularitat	Baixa
Protocol de comunicacions	No, s'envia directament el senyal de sincronisme
Microprocessador requerit	Qualsevol amb capacitat de generar PWM
Altres aplicacions	No

Taula 1.1: Característiques principals del sistema de sincronització per fibra òptica basat en un sistema comercial.

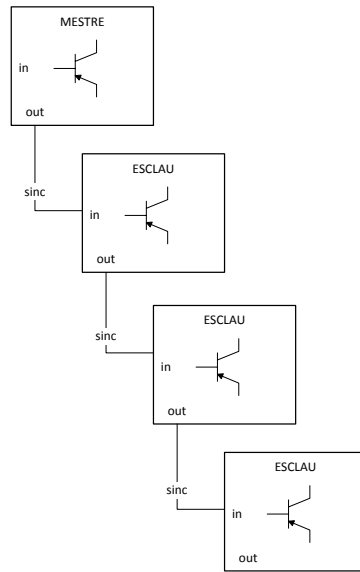


Figura 1.1: Sistema de sincronització actual de convertidors basats en electrònica de potència

## 1.2 Situació futura desitjada

Es desitja disposar d'un sistema de sincronisme que incorpori un protocol de comunicacions de forma que es pugui establir un sistema de connexió i desconexió molt més senzill i modulable que la situació actual. A més, el sistema de sincronització, s'haurà de poder aplicar a qualsevol sistema electrònic amb necessitat de sincronització. Per això, s'haurà d'establir un codi de programació modular capaç d'adaptar-se a l'aplicació en qüestió.

A la figura 1.3 es pot veure un esquema de la situació futura desitjada.

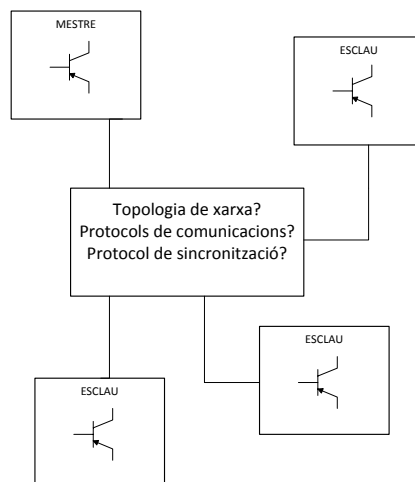


Figura 1.2: Sistema de sincronització desitjable de convertidors basats en electrònica de potència

A la taula 1.2 es poden veure les característiques principals d'aquest sistema de sincronització. Aquesta taula s'utilitzarà com a guia de referència per definir les especificacions del

projecte.

Característica	Especificació
Entorn d'aplicació	Local o extens
Precisió	Igual o menor 250 ns
Modularitat	Molt alta
Protocol de comunicacions	Sí
Altres aplicacions	Sí, qualsevol esdeveniment a sincronitzar

Taula 1.2: Especificacions del sistema de sincronització desitjada

Finalment, les especificacions de la part *hardware* que es dissenyarà en el projecte, és a dir, del sistema de sensat es poden veure a la taula 1.3.

Característica	Especificació
Tipus de mesura de tensió	3 x AC 230 V (RMS) 50 Hz
Tipus de mesura de corrent	4 x AC 87 A (RMS) 50 Hz
Precisió global a 25 °C	< 5 %
Alimentació del sistema	24 V
Dimensions de la placa	Compatibles amb la placa de control escollida
Senyals de lectura	Compatibles amb la placa de control escollida

Taula 1.3: Especificacions del sistema de sensat

En resum, es pot dir que al final del projecte s'haurà de disposar d'un *software* per sincronitzar dispositius electrònics i d'un equip de control general per l'aplicació real. A la figura 1.3 es pot veure, a la part esquerra, la situació futura que aportarà el present projecte i, a la part dreta, les múltiples aplicacions que podrien incloure el programari dissenyat i l'aplicació final en tot el seu conjunt.

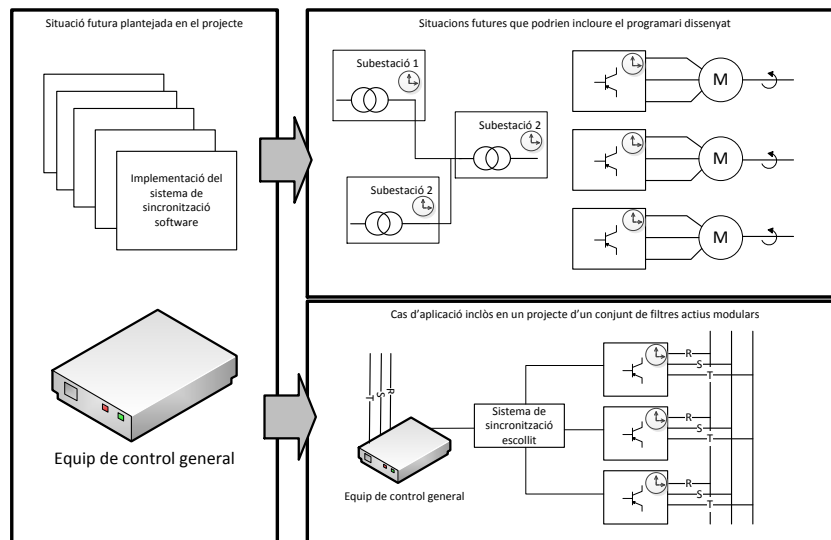


Figura 1.3: Situació final del projecte a la part dreta, i possibles situacions d'aplicació generals a la part superior esquerra i aplicació implementada, a la part inferior esquerra



## Capítol 2

# Descripció i tria d'alternatives

### 2.1 Definició de les alternatives *software*

En les especificacions del sistema es busca un sistema de sincronització modular i flexible per aplicacions diverses. Així doncs, es farà un estudi de totes les alternatives de sincronització de rellotges. En aquest context, existeixen un conjunt de protocols amb prestacions i aplicacions diverses les quals s'analitzaran per poder-ne escollir un.

Els protocols de sincronització que es compararan es poden veure a la taula 2.1.

	IEEE-1588	NTP	GPS	TTP	SERCOS
Extensió	LAN	WAN	WAN	Bus	Bus
Comunicacions	Xarxa	Internet	Satèl·lit	Bus o estrella	Bus
Protocols	<i>Eth</i> , IP-UDP	IP-UDP	Propi	Propi	<i>Eth</i>
Precisió	$< \mu s$	ms	$< \mu s$	$< \mu s$	$< \mu s$
Tipus	Mestre/Esclau	Parelles	Client/Servidor	Distribuït	Mestre/Esclau
Recursos	Baix	Moderat	Moderat	Moderat	Moderat
Correcció	Sí	Sí	Sí	Configurable	No
Seguretat	No	Sí	No	No	No
Hardware	Sí	No	Sí	Sí	Sí

Taula 2.1: Comparativa entre els diversos protocols de comunicació per a la sincronització de dispositius

El NTP (*Network Time Protocol*) és un sistema de sincronització autònom enfocat a la sincronització de sistemes distribuïts en Internet. Per altre banda, el GPS (*Global Position System*) és un sistema de sincronització sense fils que respon a la sincronització de sistemes altament distribuïts. En penúltim lloc, es troba el TTP (*Time-Triggered Protocol*) i el SERCOS (*Serial Real-Time Communication System*) que són protocols oberts de xarxa de computadors per sistemes de control, finalitat dels quals és la sincronització de dispositius connectats a través d'un bus local. Finalment, el IEEE 1588 està dissenyat per sincronitzar els rellotges de nodes en temps real, en un sistema distribuït que es comunica mitjançant una xarxa local (poques subxarxes).

En el cas que ens ocupa, es té la necessitat d'un protocol d'alta precisió per sincronitzar un sistema de dispositius distribuïts en un entorn local. El IEEE 1588 és el protocol que permet arribar a una precisió inferior als micro-segons, a més de suposar una necessitat de recursos a nivell de xarxa i de processament baixos. El IEEE 1588 utilitza l'estàndard 802.3 (*Ethernet*)

per establir la sincronització entre dispositius. Aquest fet suposa un gran avantatge pel fet de poder utilitzar la infraestructura existent perquè és un protocol altament estès. Un altre avantatge del protocol IEEE 1588 és la modularitat del sistema perquè cada sistema a sincronitzar es pot connectar en qualsevol moment a la xarxa. A més, el sistema pot basar-se en una sincronització en una xarxa local o extensa, fent ús de la xarxa d'Internet. Finalment, el IEEE 1588 es pot aplicar a gran multitud d'aplicacions (requisit del sistema de sincronització) tal com es pot comprovar a la literatura [1], [2] i [3]. Un inconvenient d'aquest sistema és la necessitat de *hardware* més específica que altres sistemes, com: suport *hardware* de les captures de temps, processador capaç de gestionar comunicacions *Ethernet* o xarxa de comunicacions amb suport al IEEE 1588.

En aquest cas, s'escollirà el protocol IEEE 1588 a causa de tots els avantatges descrits anteriorment i pels inconvenients que presenten els altres protocols, fent-los incompatibles amb les especificacions inicials. El NTP no permet arribar a les precisions necessàries. El GPS, està destinat a sistemes altament distribuïts i no és apte per aplicacions interiors. El protocol SERCOS no permet l'ús dels protocols IP-UDP necessaris per comunicacions extenses, i el TTP utilitza un sistema de comunicació propi poc estès.

Cal tenir en compte que existeixen dues versions del estàndard IEEE 1588 amb una diferència de rendiment important. Les diferències principals entre les dues versions són: els tipus de missatges i els tipus de rellotges. En el cas de la versió 2 s'incorpora el concepte de rellotge transparent i nous missatges derivats d'aquest. Un fet important és la compatibilitat amb molts altres protocols de comunicació de més baix nivell com, per exemple, l'enllaç directe al IEEE 802.3, optimitzant les comunicacions locals. Gràcies als avantatges que suposa la versió 2 del protocol, aquest serà l'escollit per desenvolupar el codi de sincronització del present projecte.

## 2.2 Definició de les alternatives *hardware*

Les necessitats *hardware* del projecte es basen en una doble vessant. Per un costat existeix la necessitat d'un microprocessador per executar el codi de sincronització i generar els senyals de porta del convertidor i, per l'altre, un sistema de mesura. En aquest apartat s'escollirà la part *hardware* de la qual no es farà el disseny, és a dir, la part de processat. Les necessitats d'aquesta part venen determinades pel protocol IEEE 1588 de sincronització i es poden veure a continuació:

- Disponibilitat *d'Ethernet* i pila UDP-IP.
- Suport de captures de temps precís pel IEEE 1588 a nivell *d'Ethernet*.
- Disponibilitat de mòdul de generació de PWM (*Pulse-Width Modulation*).
- Disponibilitat de 7 entrades ADC (*Analog-To-Digital Converter*).

Segons totes les especificacions anteriors, s'escollirà la placa de control *Neo* equipada amb un microprocessador Concerto F28M36x del fabricant Texas Instruments. Aquest microprocessador incorporarà dos nuclis: ARM Cortex M3 i un DSP C28 que donaran resposta a les necessitats anteriors. El nucli Cortex M3 permetrà donar resposta a totes les necessitats del estàndard IEEE 1588, mentre que el nucli DSP C28 donarà resposta a l'aplicació en concret de sincronitzar PWM. Cal tenir en compte, que la placa de control *Neo* s'ha desenvolupat al CITCEA-UPC (Centre d'Innovació Tecnològica en Convertidors Estàtics i Accionaments).



## Capítol 3

# Descripció, disseny i implementació del *hardware*

### 3.1 Introducció

En vistes a totes les necessitats *hardware* del projecte, es pot dividir la part física del projecte en dues seccions clarament diferenciades: la placa de control i la placa de sensat. A la figura 3.1 es pot veure un esquema funcional del *hardware*. En verd s'indiquen els sistemes que implementen les funcions principals, mentre que en blau, les funcions secundàries necessàries per duu a terme la funció principal de cadascuna de les plaques.

L'enllaç entre la placa de control i la placa de sensat, es farà a través del mòdul d'adaptació i conversió dels senyals analògics i les sondes (veure figura 3.1).

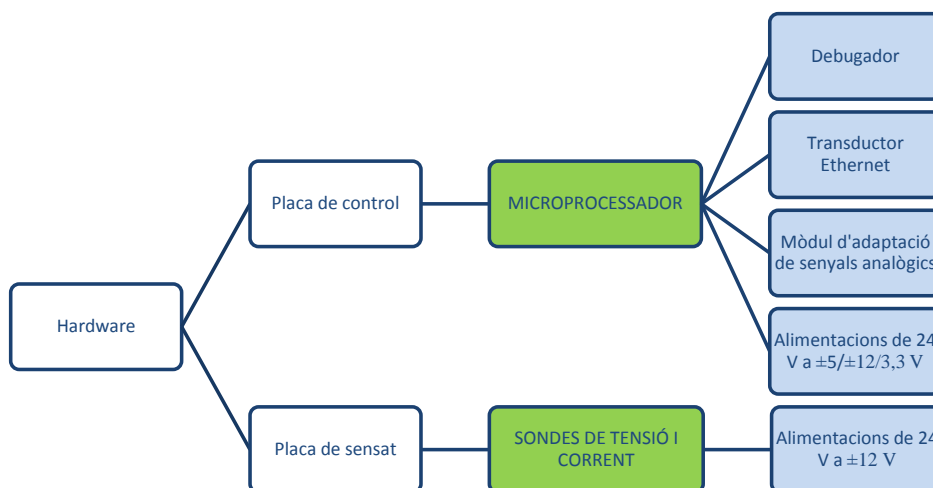


Figura 3.1: Estructura funcional de tota la part *hardware* del projecte

A la figura 3.2, es pot veure l'assemblatge del *hardware* que definirà aquest projecte. La placa de sensat es situa a la part central i les sondes de corrent a la part inferior. Finalment la placa de control *Neo* es situa a la part superior.

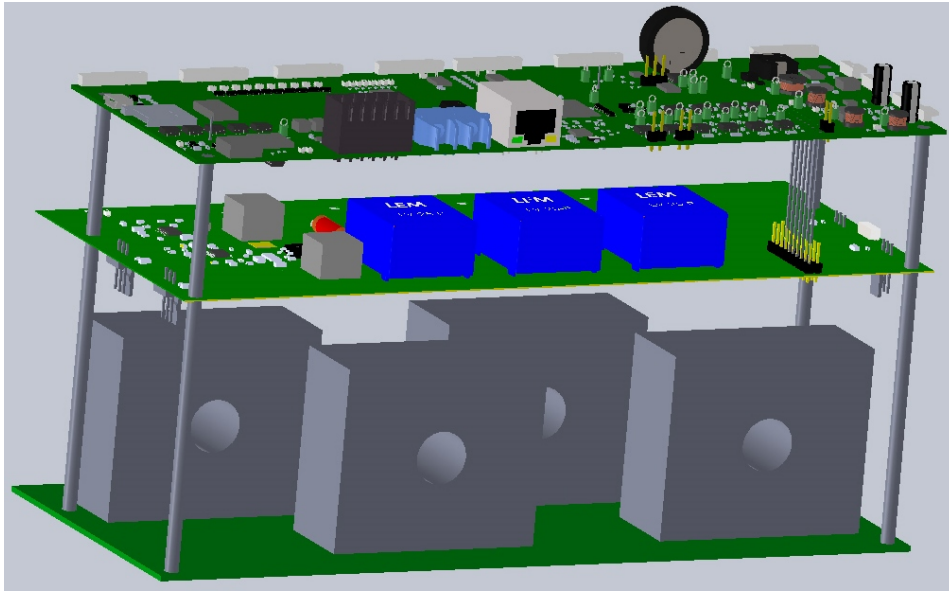


Figura 3.2: Visió general del *hardware* del present projecte

### 3.2 Descripció de la placa de control *Neo*

La placa de control utilitzada en el projecte ha estat la *Neo*, la qual es pot veure a la figura 3.3. El component principal d'aquesta placa serà el microprocessador *Concerto F28M36x* de *Texas Instruments*. Tota la informació que es descriurà s'ha extret del *datasheet* del dispositiu [4] i la guia d'iniciació [5]. Cal tenir en compte que les funcionalitats utilitzades de la placa de control *Neo* són:

- Microprocessador *Concerto F28M36x* de *Texas Instruments*.
- Mòdul d'adaptacions dels senyals analògics.
- Capa física del *Ethernet*.
- Alimentacions generals del sistema.

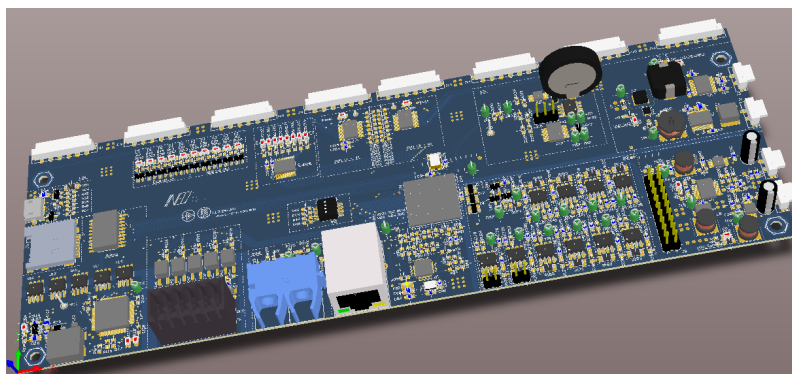


Figura 3.3: Visió general de la placa de control *Neo*

### 3.2.1 Microprocessador *Concerto* F28M36x

Pel que fa al microprocessador *Concerto*, és tracta d'un microcontrolador format per diferents subsistemes independents de comunicació i control en temps real. L'avantatge principal d'aquest microprocessador és la combinació d'un sistema destinat a comunicacions, i un sistema destinat al control en temps real.

El subsistema de comunicacions és basa en un microprocessador estàndard ARM de 32-bits Cortex M3, el qual inclou una gran varietat de perifèrics destinats a comunicació: *Ethernet 1588*, USB OTG (*Universal Serial Bus On-The-Go*), PHY (*Physical Layer*), CAN (*Control Area Network*), UART (*Universal Asynchronous Receiver-Transmitter*), SSI (*Synchronous Serial Interface*) i *I<sup>2</sup>C* (*Inter-Integrated Circuit*). Pel que fa al transductor *Ethernet Media Access Controller* (EMAC), compleix les especificacions IEEE 802.3 (D.5.2) i suporta els estàndards 10BASE-T i 100BASE-TX així com el IEEE 1588. El suport al estàndard IEEE 1588 permetrà obtenir uns temps acurats de recepció i enviaments dels missatges *Ethernet*.

Per altre banda, el subsistema de control en temps real es basa en un microprocessador de coma fixa de 32-bits C28, el qual inclou multitud de perifèrics de control com: ePWM, ADC, DAC, eCAP, entre altres. El nucli C28 s'utilitzarà per generar els senyals PWM sincronitzats dels convertidors modulars.

En penúltim lloc, el *Concerto* compta amb un mòdul IPC (*Inter Processor Communication*) per gestionar les comunicacions entre els dos nuclis a través de memòria compartida o missatges d'intercanvi.

Finalment, el *Concerto* disposa d'un subsistema analògic, memòria RAM compartida i reguladors interns de tensió. Pel que fa al subsistema analògic, es farà ús dels ADC per digitalitzar els senyals de tensió i corrent procedents de la placa de sensat.

Les especificacions principals dels nuclis Cortex M3 i C28 es poden veure a les taules 3.1 i 3.2, respectivament.

Especificació	Valor
Velocitat màxima	125 MHz
Memòria <i>flash</i>	1 MB
Memòria RAM	128 KB
Memòria compartida RAM	64 KB

Taula 3.1: Especificacions del nucli Cortex M3 del *Concerto* F28M36x

Especificació	Valor
Velocitat màxima	150 MHz
Memòria <i>flash</i>	512 KB
Memòria RAM	36 KB
Memòria compartida RAM	64 KB

Taula 3.2: Especificacions del nucli C28 del *Concerto* F28M36x

Una de les parts importants del microprocessador, per a l'aplicació de sincronització a la qual es destinarà, serà la precisió de l'oscil·lador. L'oscil·lador utilitzat en aquest cas és el ABM3B de 20 MHz amb una estabilitat i precisió de 10 ppm.

### 3.2.2 Mòdul d'adaptacions dels senyals analògics

Aquest mòdul permetrà fer compatible els senyals analògics procedents de la placa de sensat amb els ADC del microprocessador *Concerto*. Cal tenir en compte que l'estructura d'aquest mòdul ve definida per la placa de control *Neo*, però la seva configuració s'haurà de portar a terme en el projecte perquè dependrà del sistema de sensat. D'aquesta forma, a l'annex A es duran a terme tots els càlculs per configurar correctament aquest mòdul.

### 3.2.3 Capa física del *Ethernet*

La capa física del *Ethernet* s'utilitzarà conjuntament amb el microprocessador *Concerto* per establir la comunicació entre els dispositius a sincronitzar. Aquest transductor tindrà suport pel 10BASE-T/100BASE-TX de la IEEE 802.3 (D.5.2), arribant a velocitats de fins a 100 Mbps.

### 3.2.4 Alimentacions generals del sistema

Cal tenir en compte que la placa de control s'alimentarà a +24 V i que, per tant, caldrà utilitzar els sistemes d'alimentació de la *Neo* per obtenir les tensions necessàries pel funcionament de tots els sistemes.

## 3.3 Disseny i implementació de la placa de sensat

### 3.3.1 Introducció

En aquest capítol es descriurà el procediment realitzat pel dimensionat de la placa de sensat. La literatura utilitzada en aquest capítol ha estat *Current and Voltage Transducers for Industry Applications* [6], així com *Current Sensing in Electric Drives A Future and History Based on Multiple Innovations* [7]. La metodologia de disseny i implementació ha estat la següent:

1. Anàlisi de les característiques dels senyals a mesurar.
2. Elecció de les sondes de tensió i corrent.
3. Càlcul i dimensionat de l'alimentació de la placa.
4. Càlcul i dimensionat del sistema de dissipació de calor.
5. Disseny de la placa amb el programari Altium.

### 3.3.2 Anàlisi de les característiques dels senyals a mesurar

Les tensions i corrents a mesurar provindran de la xarxa de baixa tensió trifàsica. Respecte a les tensions, es disposa de valors al voltant dels 400 V per les tensions fase-fase i valors al voltant del 230 V per les tensions fase-neutre. Així doncs, es mesuraran les tres tensions fase neutre i per tant, la tensió nominal de la sonda de tensió haurà de ser de 230 V.

En la mesura dels corrents es duran a terme quatre mesures: les tres fases i el neutre. La mesura del neutre caldrà per detectar desequilibris a la xarxa. Els nivells de corrent

es calcularan d'acord amb la potència prevista de xarxa de 60 kW, obtenint un corrent a mesurar de 87 A tal com es pot veure a l'equació 3.1. Cal tenir en compte que la potència de xarxa pot tenir un ampli ventall de valors. Per això, és farà un disseny flexible del sistema de sensat de corrent tal com es veurà posteriorment.

$$I_n = \frac{60 \text{ kW}}{\sqrt{3} * 400 \text{ V}} = 87 \text{ A} \quad (3.1)$$

En quant a les consideracions físiques de les mesures caldrà que modifiquin el mínim possible l'estructura de la xarxa i es puguin duu a terme d'una forma senzilla i segura.

### 3.3.3 Elecció de les sondes de tensió i corrent

#### Sonda de corrent

En el cas que ens ocupa existeix la necessitat de disposar d'un transductor de corrent independent a la placa pel fet d'haver de mesurar corrents de xarxa de valors no practicables en placa de circuit imprès. A més, es necessita un sistema de sensat no invasiu a la xarxa i que es pugui instal·lar i desinstal·lar amb certa facilitat. És per això que s'ha optat per un transductor de corrent de nucli circular amb tecnologia *closed loop*, el qual utilitza un sensor d'efecte *Hall*. S'ha descartat la tecnologia *fluxgate* pel fet d'augmentar molt els costos del sistema de sensat.

Considerant les especificacions anteriors, el transductor de corrent escollit ha estat el LF 205-S/SP3 de la marca LEM, el qual utilitza la tecnologia *closed loop* amb sensor d'efecte *Hall* i nucli no partit. El fet d'escollir un nucli no partit és a causa de la necessitat d'obtenir baixes dispersions del camp magnètic i poder utilitzar la tecnologia *closed loop*, la qual permet arribar a les precisions necessàries per a l'aplicació. Per culpa dels nivells de corrent a mesurar s'utilitzarà un transductor de corrent de mural, és a dir, extern a la placa tal com es pot veure a la figura 3.5. Aquest sistema extern a la placa de sensat permetrà la substitució del sensor de corrent per un altre amb un corrent nominal superior si l'aplicació ho requereix.

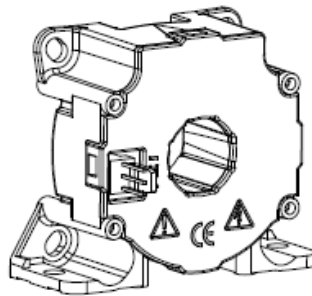


Figura 3.4: Transductor de corrent LF 205-S/SP3. Font: *Current Transducer LF 205-S SP3* [8, p. 3]

Les especificacions elèctriques del transductor en qüestió es poden veure a la taula 3.3.

És important tenir en compte les especificacions relacionades amb la precisió, les quals es poden veure a la taula 3.4.

Pel que fa la configuració de la sonda, s'haurà d'escollir un valor de resistència ( $R_M$ ) tenint en compte la tensió d'alimentació i el senyal de mesura que es vol obtenir (veure figura 3.5).

Especificació	Valor
Corrent nominal primari ( $I_{PN}$ )	100 A
Rang de corrent del primari ( $I_{PM}$ )	0.. $\pm 200$ A
Corrent nominal secundari ( $I_{SN}$ )	100 mA
Tensió d'alimentació ( $V_C$ ) ( $\pm 5\%$ )	$\pm 12.. \pm 15$ V
Consum de corrent ( $I_C$ )	$17 + I_S$ [mA] (@ $\pm 15$ V)
Ample de banda (BW)	100 kHz

Taula 3.3: Especificacions elèctriques del transductor de corrent LF 205-S/SP3. Font: *Current Transducer LF 205-S SP3* [8, p. 1]

Especificació	Valor
Precisió global ( $X_G$ )	$\pm 0,5\%$
Error de linealitat ( $\varepsilon_L$ )	$< 0,1\%$
(Offset) de corrent ( $I_O$ )	$\pm 0,2$ mA
Variació del ( $I_O$ ) amb temperatura ( $I_{OT}$ )	$\pm 0,25$ mA @ $0^\circ\text{C}..25^\circ\text{C}$
(Offset) de corrent magnètic ( $I_{OT}$ )	$\pm 0,10$ mA
Temps de resposta al 90 % de $I_{PN}$ ( $t_r$ )	$< 1$ $\mu\text{s}$

Taula 3.4: Especificacions de precisió del transductor de corrent LF 205-S/SP3. Font: *Current Transducer LF 205-S SP3* [8, p. 1]

Segons el *datasheet*, si s'alimenta el transductor a  $\pm 12$  V, s'haurà d'escollir una resistència entre 0 i  $95\ \Omega$ . Així, es voldrà obtenir un senyal de mesura de +5 V quan passi el corrent nominal pel debanat primari, o el que és el mateix, quan passin  $\pm 100$  mA pel debanat secundari. D'aquesta forma, la resistència escollida serà la calculada a l'equació 3.2.

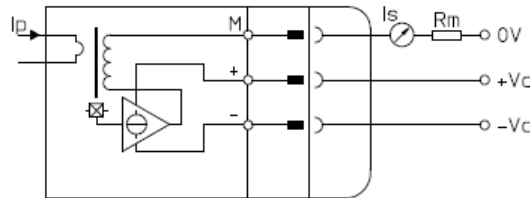


Figura 3.5: Esquema elèctric del transductor de corrent LF 205-S/SP3. Font: *Current Transducer LF 205-S SP3* [8, p. 3]

$$R_M = \frac{5\text{ V}}{100\text{ mA}} = 50\ \Omega \quad (3.2)$$

Per dividir la potència total de dissipació de les resistències (0,5 W) s'escolliran dues resistències de  $100\ \Omega$  en paral·lel, de 0,25 W cadascuna d'elles.

### Sonda de tensió

El transductor de tensió que s'utilitzarà per mesurar les tensions fase-neutre de la xarxa és el transductor LV 25-P de la marca LEM. Aquest sensor de tensió estarà localitzat a la pròpia placa de sensat i utilitza la tecnologia *Closed loop* amb l'efecte *Hall*. Per escollir aquest transductor s'han tingut en compte les tecnologies existents en el mercat i paràmetres

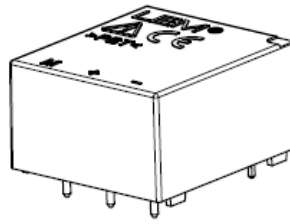


Figura 3.6: Transductor de tensió LV 25-P. Font: *Voltage Transducer LV 25-P* [9, p. 3]

crítics com: tensió d'alimentació, precisió, senyal de sortida, entre altres. A la figura 3.6 es pot veure l'aspecte físic del transductor.

Les especificacions elèctriques d'aquest transductor es poden veure a la taula 3.5.

Especificació	Valor
Corrent nominal primari ( $I_{PN}$ )	10 mA
Rang de corrent del primari ( $I_{PM}$ )	0.. ± 14 mA
Corrent nominal secundari ( $I_{SN}$ )	25 mA
Tensió d'alimentació ( $V_C$ ) (±5 %)	±12.. ± 15 V
Consum de corrent ( $I_C$ )	10 + $I_S$ mA (@ ± 15 V)
Ample de banda (BW)	25 kHz
Tensió primari nominal ( $V_{PN}$ )	10..500 V

Taula 3.5: Especificacions elèctriques del transductor de tensió LV 25-P. Font: *Voltage Transducer LV 25-P* [9, p. 1]

És molt important també tenir en compte les especificacions relacionades amb la precisió, les quals es poden veure a la taula 3.6.

Especificació	Valor
Precisió global ( $X_G$ )	±0,8 %
Error de linealitat ( $\varepsilon_L$ )	< 0,2 %
(Offset) de corrent ( $I_O$ )	±0,15 mA
Variació del ( $I_O$ ) amb temperatura ( $I_{OT}$ )	±0,06 mA @0°C..25°C
Variació del ( $I_O$ ) amb temperatura ( $I_{OT}$ )	±0,10 mA @25°C..70°C
Temps de resposta al 90 % de $I_{PN}$ ( $t_r$ )	40 μs

Taula 3.6: Especificacions de precisió del transductor de tensió LV 25-P. Font: *Voltage Transducer LV 25-P* [9, p. 1]

Finalment, a nivell d'especificacions, cal tenir en compte les característiques en termes d'aïllament perquè encara que la tensió nominal fase-neutre serà de 230 V i la tensió del primari nominal del transductor és de 500 V, caldrà considerar possibles règims dinàmics existents a la xarxa (veure taula 3.7).

Un cop vistes les especificacions del transductor de tensió caldrà veure el seu esquema intern i quins graus de llibertat aporta aquesta configuració, tal com es pot veure a la figura 3.7.

Per calcular el valor de  $R_M$  és important tenir present que el transductor s'alimentarà a ±12 V. Així, segons el *datasheet*, el rang de la resistència de mesura podrà estar entre 30 i 190 Ω. Per altre banda, el corrent nominal pel debanat secundari quan la tensió en el primari estigui al màxim rang serà de 25 mA i la tensió de mesura que es voldrà obtenir serà

Especificació	Valor
Tensió RMS en AC 50 Hz, 1 min	2,5 kV
Resistència al xoc de tensió 1,2/50 $\mu s$	16 kV
Distància de fuga (dCp)	19,5 mm
Espai (dCI)	19,5 mm
Índex comparatiu (CTI)	175

Taula 3.7: Especificacions d'aïllament del transductor de tensió LV 25-P. Font: *Voltage Transducer LV 25-P* [9, p. 2]

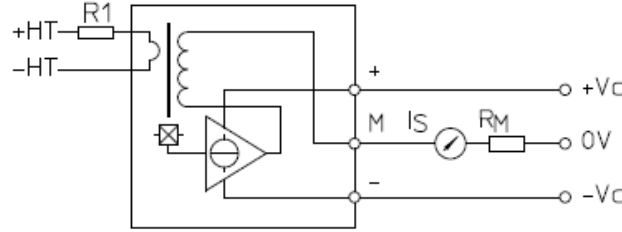


Figura 3.7: Esquema general del transductor de tensió LV 25-P. Font: *Voltage Transducer LV 25-P* [9, p. 1]

de 5 V. Per tant, segons la fórmula 3.3 s'escolliran dues resistències de 400  $\Omega$ , de 0,0625 W en paral·lel.

$$R_M = \frac{5 V}{25 mA} = 200 \Omega \quad (3.3)$$

Per altre banda, el valor de  $R_1$  s'haurà d'escollir en funció de la tensió a mesurar ( $V_{PN}$ ). En aquest cas, el valor nominal a mesurar és de 230 V. Tot i que la tensió nominal és de 230 V, es considerarà un marge de seguretat per fer front a les desviacions de la xarxa, establint una tensió nominal de 300 V. Així doncs, cal que pel primari del transductor circuli el corrent nominal ( $I_{PN}$ ) quan es mesuri la tensió nominal de 300 V. Segons l'equació 3.4, s'instal·laran dues resistències de 15 k $\Omega$  en sèrie, de 3 W cadascuna.

$$R_1 = \frac{300}{10 mA} = 30 k\Omega \quad (3.4)$$

Finalment, l'esquemàtic de les sondes de tensió s'indica a la figura 3.8. Es pot veure que l'alimentació es duu a terme mitjançant un condensadors de desacoblament per assegurar la qualitat en l'alimentació.

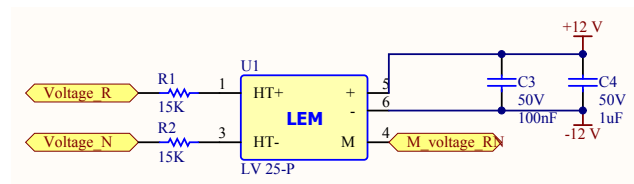


Figura 3.8: Esquemàtic del transductor de tensió LV 25-P amb les resistències de primari



És de vital importància veure que les resistències de mesura tant per la sonda de corrent com per la de tensió formaran part de l'etapa de condicionament que es descriurà a l'annex A, formant part de la placa de control *Neo*.

### 3.3.4 Càlcul i dimensionat de l'alimentació de la placa

#### Necessitats energètiques de la placa de sensat

Les necessitats energètiques de la placa venen definides per les sondes de tensió i corrent utilitzades. A la taula 3.8 es mostra un resum de les tensions, corrents i potències demandades per totes les sondes situades a la placa.

Càrrega	Tensió	Corrent	Quantitat	Corrent total	Potència total
Sondes de tensió	+12 V	43,8 mA	3	131,3 mA	1,575 W
Sondes de tensió	-12 V	43,8 mA	3	131,3 mA	1,575 W
Sondes de corrent	+12 V	146,3 mA	4	585 mA	7,02 W
Sondes de corrent	-12 V	146,3 mA	4	585 mA	7,02 W
Leds	1,8 V	2 mA	1	2 mA	3,6 mW
TOTAL				1434,6 mA	17,2 W

Taula 3.8: Necessitats energètiques de la placa de sensat

S'hauran de generar dues tensions: +12 V i -12 V, perquè l'alimentació dels leds es durà a terme amb una resistència. Per aquest motiu es proposen unes especificacions d'alimentació de la taula 3.12. Tal com es pot veure s'ha deixat un marge considerable en la potència d'alimentació per possibles canvis en les sondes de corrent externes a la placa, les quals demanin un consum més elevat pel fet de mesurar corrents més elevats. Per altre banda es pot apreciar que la placa s'alimentarà a +24 V, tensió altament estàndard, des de una font externa.

Rang d'entrada	Sortida	Corrent de sortida
20/28 V	+12 V	2 A
20/28 V	-12 V	2 A
TOTAL		4 A

Taula 3.9: Especificacions d'alimentació de la placa de sensat

#### Elecció de la topologia d'alimentació

Un cop definides les especificacions es durà a terme el disseny de l'alimentació. Per aquest fi s'utilitzarà l'assistent *WEBENCH® Designer* de *Texas Instruments*, el qual, donades unes especificacions d'entrada i sortida de la font, proposa un disseny. En els dos casos, la proposta és un convertidor reductor DC/DC amb les estructures de les figures A.1 i A.2. Tots els càlculs justificatius de les dues fonts d'alimentació es podran veure a l'annex A.

Els controladors utilitzats han estat el LM25005 per generar els +12 V i el LM5088 per generar els -12 V, tots dos, de la marca *Texas Instruments*. Les característiques principals de cadascun dels dos reductors es poden veure a continuació:

Característiques del LM25005:

1. MOSFET integrat de 42 V i 160 mΩ.
2. Rang d'entrada elevat, de 7 V a 42 V.
3. Ajust de la tensió de sortida des de 1,225 V.
4. 1,5 % de precisió en la realimentació.
5. Control de corrent amb emulació d'inductor.
6. Protecció tèrmica.

#### Característiques del LM5088

1. Control de MOSFET extern de canal N.
2. Rang d'entrada elevat, de 4,5 V a 75 V.
3. Ajust de la tensió de sortida des de 1,225 V.
4. 1,5 % de precisió en la realimentació.
5. Control de corrent amb emulació d'inductor.
6. Protecció tèrmica.

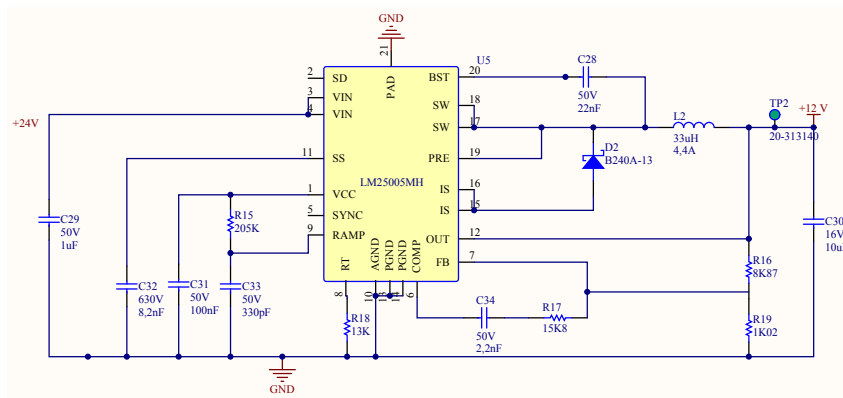


Figura 3.9: Esquema general de l'alimentació de +12 V

### 3.3.5 Càlcul i dimensionat del sistema de dissipació de calor

En l'alimentació de la placa de sensat serà de vital importància tenir quantificat i dissenyat correctament el sistema de dissipació de pèrdues del sistema. Per duu a terme el càlcul es tindran en compte tots aquells components que dissipin les pèrdues a través del pla de massa. En segon lloc, caldrà comprovar que el sistema de dissipació es capaç de mantenir les temperatures d'unió dels components per sota de la màxima admissible.

A la taula 3.10 es pot veure un resum de totes les pèrdues dels components que dissipin les pèrdues pel pla de massa. Aquest càlculs es troben explicats en detall a l'annex A. Les pèrdues dels components s'han calculat per una càrrega de 0,7 A en cadascuna de les fonts de +12 V i -12 V (extreta de la taula 3.8).

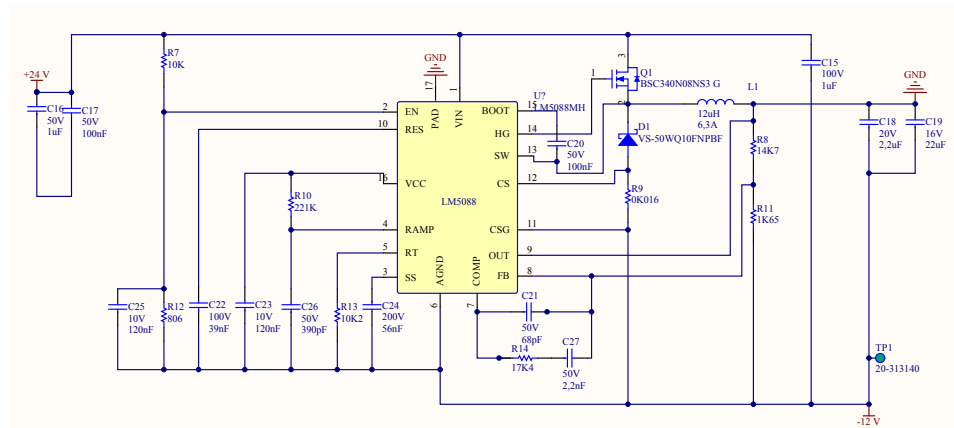


Figura 3.10: Esquema general de l'alimentació de -12 V

Component	Potència de pèrdues
Controlador reductor +12 V	1 W
Controlador reductor -12 V	1 W
Díode -12 V	0,22 W
Interruptor -12 V	0,008 W
TOTAL	2,23 W

Taula 3.10: Potència de pèrdues en cadascun dels components per una càrrega de 0,7 A

A partir de les pèrdues del sistema caldrà definir el sistema de dissipació a utilitzar. En aquest cas, a causa de l'encapsulat dels components, la dissipació es realitzarà a través del pla de massa de la placa. A la taula 3.11 es poden mostren les temperatures d'unió ( $T_j$ ) dels components en funció de les pèrdues i les resistències tèrmiques unió-capsa ( $R_{j-c}$ ) (veure annex A per detalls). Es conclou que totes les temperatures són inferiors a les màximes admissibles i que, per tant, el sistema de dissipació és correcte.

Component	$R_{j-c}$	$T_j$	$T_j$ màxima
Controlador reductor +12 V	4 °C/W	70 °C	165 °C
Controlador reductor -12 V	6 °C/W	72 °C	165 °C
Díode -12 V	3 °C/W	66,66 °C	150 °C
Interruptor -12 V	2,5 °C/W	66,02 °C	150 °C

Taula 3.11: Resistència tèrmica d'unió a caps i temperatura d'unió amb una càrrega de 0,7 A

### 3.3.6 Disseny de la placa de sensat amb el programari Altium

El disseny de la placa s'ha realitzat amb el programari *Altium Designer*. En primer lloc, les dimensions de la placa de sensat han estat imposades per la placa de control *Neo*, ja que les dues plaques aniran una sobre l'altre. En segon lloc, existirà un connector que unirà les dues plaques de dalt a baix per transferir totes les mesures adquirides a la placa de control.

La disposició de la placa de sensat es pot dividir en tres parts: secció d'alimentació, secció de sensat de tensió i secció de sensat de corrent.

La secció d'alimentació s'ha portat a terme segons els esquemes A.1 i A.2, mentre que la secció del sensat de tensió seguint l'esquema de la figura 3.8.

La secció de sensat de corrent estarà composta per uns connectors que permetran alimentar les sondes externes de corrent i captar el senyal de mesura. A les figures 3.11 i 3.12 es mostra la disposició frontal i posterior de la placa de sensat respectivament.

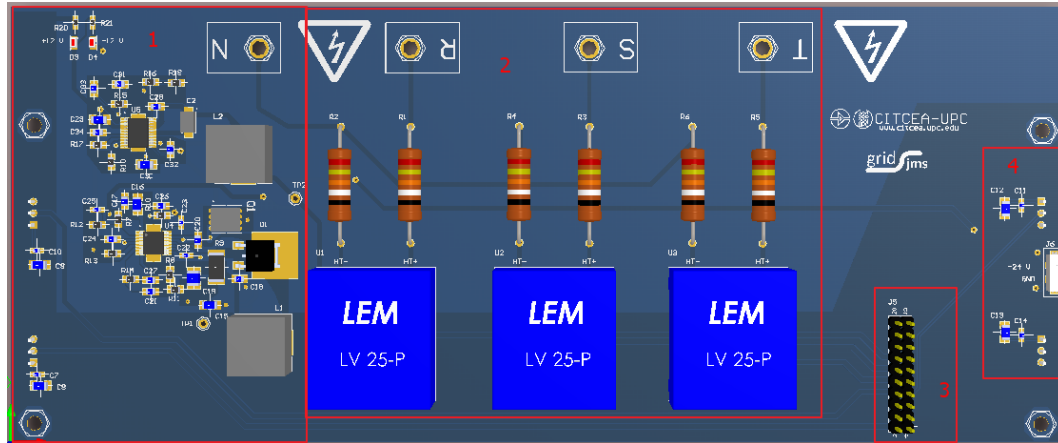


Figura 3.11: Disposició frontal de la placa de sensat amb l'alimentació (1), el sensat de tensions (2) i els connectors a la placa Neo (3) i d'alimentació de +24 V (4)

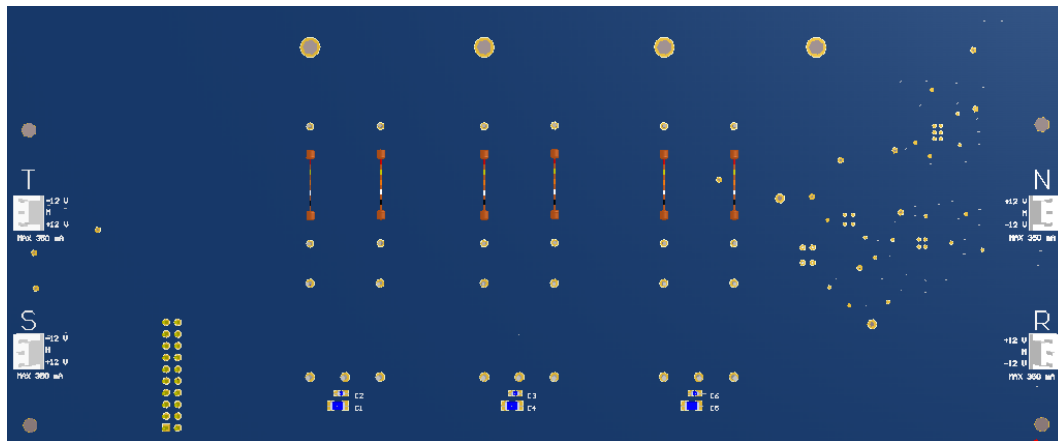


Figura 3.12: Disposició posterior de la placa de sensat amb el detall de les connexions a les sondes de corrent

Finalment, a la taula 3.12 es descriuen els aspectes tècnics de la placa de sensat.

Especificació	Valor	Unitats
Dimensions	230x95	mm
Capes	2	
Aïllant	FR4	
Gruix	1,6	mm

Taula 3.12: Especificacions d'alimentació de la placa de sensat

## Capítol 4

# Estàndard IEEE 1588

### 4.1 Introducció

En aquest capítol es descriurà l'estàndard IEEE 1588, on s'explicarà entre d'altres coses, el protocol *Precision Time Protocol* (PTP) que permetrà sincronitzar rellotges en un sistema distribuït de dispositius. Per dur a terme la descripció es farà ús de l'Estàndard IEEE 1588 [10]. Aquest protocol es basa en la sincronització de rellotges de diversos dispositius de mesura o control mitjançant l'intercanvi de missatges que permeten arribar a precisions per sota dels microsegons. Cal recordar que el protocol PTP és un protocol de comunicacions situat a la capa d'aplicació, segons la piràmide OSI de les comunicacions (explicat a l'annex D) i que, per tant, caldrà fer ús d'altres protocols i sistemes per poder dur a terme la comunicació entre els diversos dispositius a sincronitzar. Finalment, dir que el protocol és aplicable a sistemes comunicats a través de xarxes locals compatibles amb *multicast*, incloent el IEEE 802.3 (descriu en detall al capítol D.5.2).

La descripció del estàndard IEEE 1588 es durà a terme mitjançant la següent estructura:

1. Història de l'estàndard.
2. Model de sincronització de rellotges.
3. Deriva, temps de residència i correccions d'asimetria.

### 4.2 Història de l'estàndard IEEE 1588

L'estàndard IEEE 1588 va ser aprovat el 12 de setembre de 2002 pel comitè IEEE-SA, fet que va suposar la publicació de la versió 1 el 8 de novembre de 2002 com a IEEE 1588-2002. Aquest estàndard va ser aprovat per la IEC (*International Electrotechnical Commission*) com a IEC 61588 el 21 de maig de 2004. Els productes i instal·lacions que utilitzaven aquest estàndard varen començar a aparèixer el 2003 i les conferències sobre el IEEE 1588 es van estendre durant el 2003, 2004 i 2005. Finalment, el 27 de maig de 2008, va aparèixer la publicació de l'estàndard IEEE 1588-2008 com a versió 2 del PTP (*Precision Time Protocol*). Aquesta versió de l'estàndard serà la que es descriurà en el present capítol.

## 4.3 Model de sincronització de rellotges

### 4.3.1 General

En aquesta secció es definirà un model de sincronització de rellotge el qual permetrà entendre el funcionament del PTP.

L'estàndard PTP estableix un protocol de sincronització aplicable en un sistema distribuït amb un o més nodes, comunicats a través d'una xarxa. Cada un dels nodes disposa d'un rellotge en temps real, el qual es voldrà sincronitzar amb tots els altres nodes de la xarxa per a diversos propòsits. Així doncs, l'estàndard defineix el *Precision Time Protocol (PTP)*, a més del node, sistema i comunicacions necessàries pel funcionament del PTP.

### 4.3.2 Sistemes PTP

Un sistema PTP és un sistema distribuït i interconnectat format per sistemes PTP i no-PTP. Els sistemes PTP estan formats per: rellotges de frontera, rellotges ordinaris, rellotges transparents de fi a fi (E2E), rellotges transparents d'igual a igual (P2P) i nodes de gestió. Els sistemes no-PTP seran elements de la xarxa com passarel·les, encaminadors, impressores...

D'aquesta manera, en el protocol s'especifica com s'han de sincronitzar els rellotges de temps real. Aquests rellotges utilitzaran un model de comunicació mestre-esclau on existirà un rellotge, anomenat gran-mestre, el qual aportarà la referència per tots els dispositius. La sincronització es durà a terme amb un intercanvi de missatges, la informació dels quals permetrà als esclaus sincronitzar-se amb el gran-mestre.

### 4.3.3 Tipus de missatges PTP

En termes de missatges, es defineixen dos tipus de missatges: d'esdeveniment i generals. Els missatges d'esdeveniment necessitaran tenir una captura del temps en la seva recepció o enviament altament acurada, mentre que els generals no. Així doncs, els missatges d'esdeveniment seran:

- *Sync*
- *Delay-Req*
- *Pdelay-Req*
- *Pdelay-Resp*

Per altre banda, es poden veure els missatges de tipus generals:

- Anunciament
- *Follow-up*
- *Delay-Resp*
- *Pdelay-Resp-Follow-Up*
- Gestió
- Senyal

Els missatges *Sync*, *Delay-Req*, *Follow-up*, i *Delay-Resp* s'utilitzen per generar i comunicar la informació necessària per sincronitzar rellotges ordinaris i de frontera mitjançant el mecanisme de petició-resposta del retard de propagació.

Els missatges *Pdelay-Req*, *Pdelay-Resp* i *Pdelay-Resp-Follow-Up* s'utilitzen per mesurar el retard existent entre dos rellotges implementant el mecanisme del retard d'igual a igual. Aquest retard s'utilitza per corregir els temps dels missatges *Sync* i *Follow-up* en sistemes formats per rellotges transparents d'igual a igual (P2P).

El missatge d'anunciament s'utilitza per establir la sincronització entre rellotges en moments d'inicialització.

Els missatges de gestió s'utilitzaran per actualitzar la informació proporcionada pels diversos rellotges.

Els missatges de senyal s'utilitzen per establir comunicacions entre els rellotges en propòsit general.

#### 4.3.4 Tipus de dispositius PTP

En el protocol PTP existeixen 5 tipus de dispositius diferents:

- Rellotges ordinaris
- Rellotges de frontera
- Rellotges transparents tipus de fi a fi (E2E)
- Rellotges transparents tipus d'igual a igual (P2P)
- Nodes de gestió

Cada un dels rellotges implementa certs aspectes del protocol. Per aquest fet, els rellotges ordinaris i de frontera poden utilitzar els mecanismes de petició-resposta del retard o el mecanisme del retard d'igual a igual. Els rellotges transparents tipus de fi a fi (E2E) són independents als mecanismes anteriors; i finalment, els rellotges transparents tipus d'igual a igual (P2P) utilitzen el mecanisme del retard d'igual a igual.

##### **Rellotges ordinaris**

El model de rellotge ordinari es pot veure a la figura 4.1.

El rellotge ordinari utilitza dos interfícies lògiques en un sol port físic. La interfície lògica d'esdeveniments s'utilitza per enviar i rebre missatges on cal una captura del temps local en la seva recepció o enviament, en contraposició de la general on no es fa aquesta captura. Cal recordar que un rellotge ordinari pot fer la funció d'esclau o gran-mestre segons sigui o no la referència temporal.

El tipus d'informació que s'utilitza en un rellotge ordinari es divideix en informació pròpia de descripció del rellotge i informació pròpia de descripció del port.

El motor del protocol duu a terme quatre funcions principals: enviar i rebre missatges PTP, mantenir la informació actualitzada, executar la màquina d'estats i, si el port és esclau, sincronitza el rellotge intern amb el mestre amb tota la informació recopilada.

El llaç de control ajusta el rellotge intern segons el temps del gran-mestre quan s'actua com esclau. El gran-mestre normalment és un rellotge treballant en mode lliure o un rellotge amb referència externa tipus GPS, per exemple.

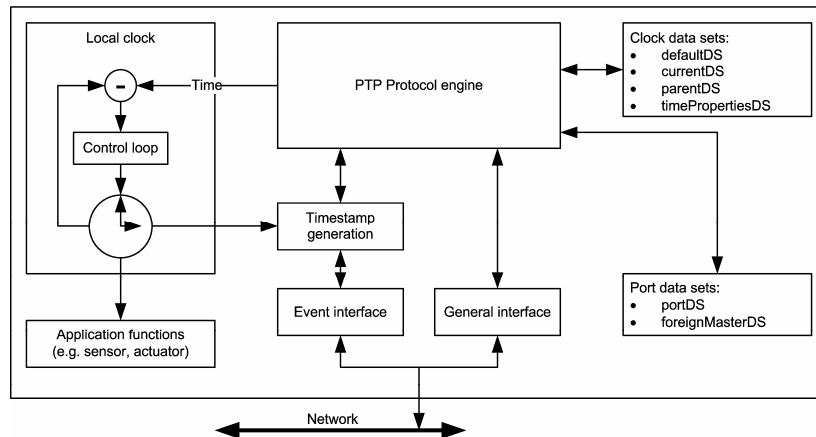


Figura 4.1: Model de rellotge ordinari. Font: Estàndard IEEE 1588 [10, p. 30]

### Relotges de frontera

El model d'aquest tipus de rellotges es pot veure a la figura 4.2.

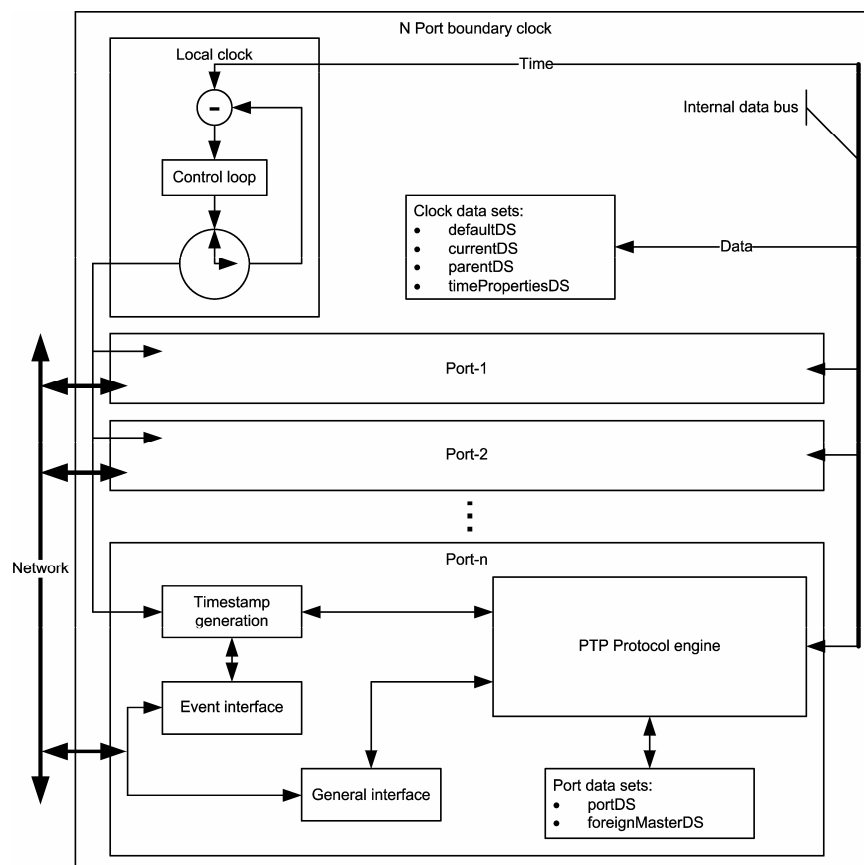


Figura 4.2: Model de rellotge de frontera. Font: Estàndard IEEE 1588 [10, p. 21]



Un rellotge de frontera normalment disposa de diversos ports físics on cadascun d'ells té dos interfícies lògiques. Cada un dels ports del rellotge de frontera és com un rellotge ordinari amb les següents diferències: la informació de tots, així com el rellotge local, es comuna a tots els ports i el motor del protocol disposa d'una funció addicional per saber quins dels ports s'utilitza per sincronitzar el rellotge intern.

Els rellotges de frontera normalment s'associen a components de la xarxa i no a sistemes d'aplicació.

Els rellotges de frontera es van idear per substituir els *switches* clàssics, els quals introdueixen retards no deterministes provocant errors en la mesura dels retards en sistemes de comunicació no simètrics (veure annex D.3 per majors detalls).

### Rellotges transparents tipus de fi a fi (E2E)

El model d'aquest tipus de rellotges es poden veure a la figura 4.3.

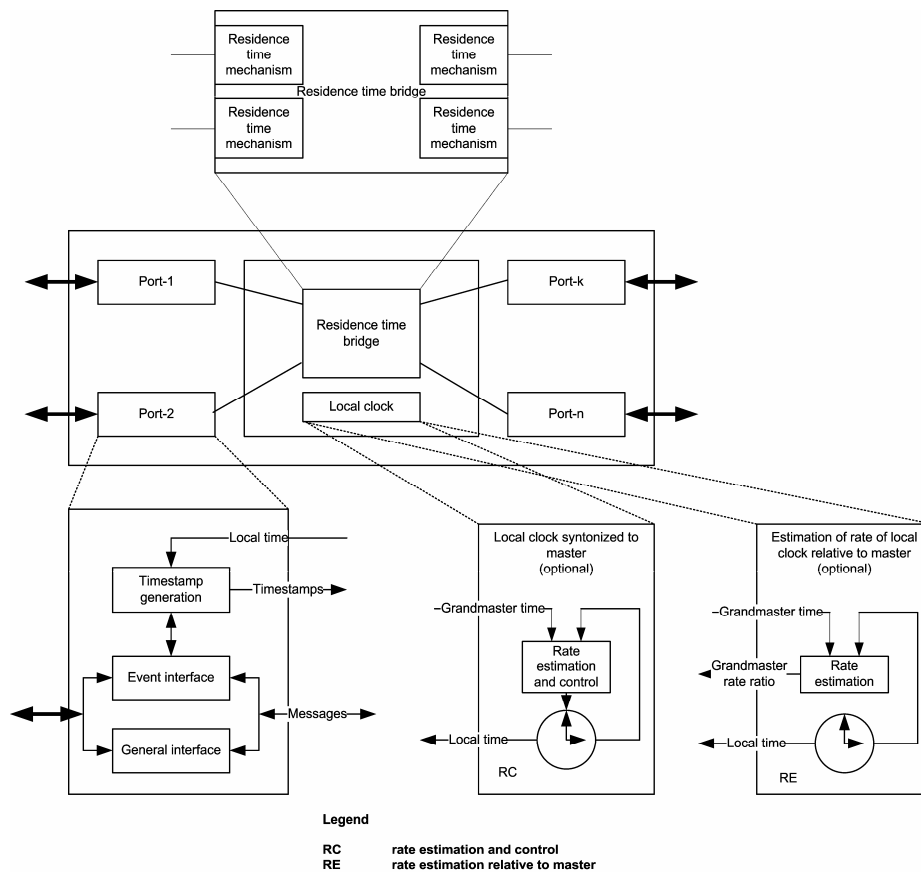


Figura 4.3: Model de rellotge transparent tipus de fi a fi (E2E). Font: Estàndard IEEE 1588 [10, p. 22]

Aquest tipus de rellotge transmet tots els missatges com un encaminador, passarel·la o repetidor clàssic, a diferència que es mesura el temps de residència dels missatges PTP. Aquesta mesura s'obté observant la diferència de temps entre la captura de temps a l'entrada del rellotge transparent i a la sortida. D'aquesta forma es poden obtenir uns temps més

acurats associats als missatges PTP. A la figura 4.4 es pot veure el procés de correcció en detall.

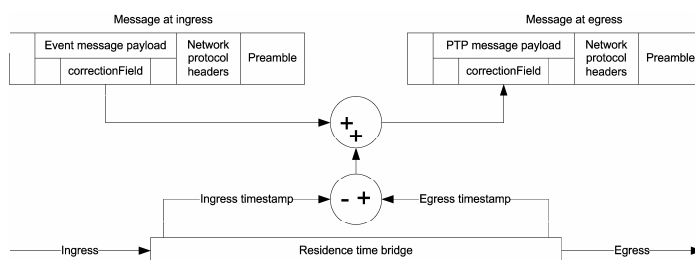


Figura 4.4: Procés de correcció segons el temps de residència. Font: Estàndard IEEE 1588 [10, p. 23]

Cal recordar que les captures del temps es fan mitjançant el rellotge intern, i per tant, aquest haurà d'estar perfectament sincronitzat amb el gran-mestre per reduir al màxim l'error del temps de residència. Per això existiran dos mètodes: RC (*Rate Control*) o el RE (*Rate Estimation*) de sincronització del rellotge intern.

El mètode RC utilitza el temps del gran-mestre incorporat en els missatges *sync* i *follow-up* i el temps intern per ajustar el rellotge intern en llaç tancat. Cal tenir present que el temps del gran-mestre està corregit per altres rellotges transparents aigües amunt i que, en conseqüència, la precisió d'aquest ajust depèn de la bona sincronització dels altres rellotges transparents.

El mètode RE intenta minimitzar l'error del temps de residència utilitzant rellotges locals en funcionament lliure. En aquest cas, la freqüència del rellotge intern no s'ajusta, sinó que treballa de forma lliure. El rellotge en mode lliure mesura el temps de residència a més de mesurar la diferència entre el rellotge en mode lliure i el rellotge del gran-mestre. Aquesta última mesura s'obté gràcies a la informació dels missatges *sync* i *follow-up*.

Els rellotges transparents tipus de fi a fi (E2E) s'utilitzen com elements de xarxa o en combinació amb els rellotges ordinaris.

### Rellotges transparents tipus d'igual a igual (P2P)

El model d'aquest tipus de rellotge es pot veure a la figura 4.5.

Aquest tipus de rellotge només es diferencia del rellotge transparent tipus fi a fi (E2E) en la forma com corregeix i rep els temps dels missatges PTP. En aquest cas, com es mostra a la figura 4.5, el rellotge disposa d'un bloc addicional, per a cada port el qual s'utilitza per mesurar el retard d'enllaç amb un altre rellotge de les mateixes característiques. Aquest retard es mesura mitjançant els missatges *Pdelay-Req*, *Pdelay-Resp* i, si és el cas, el *Pdelay-Resp-Follow-Up*. El rellotge transparent P2P només corregeix els missatges de *sync* i *follow-up* a diferència dels E2E, els quals corregeixen tots els missatges. Així doncs, en aquest tipus de rellotges es dur a terme una doble correcció segons el temps de residència del missatge i el retard en la recepció dels missatges (veure figura 4.6).

Els rellotges tipus d'igual a igual (P2P) són incompatibles amb els de fi a fi (E2E), per això, caldrà interconnectar-los amb rellotges de frontera.

Igual que els rellotges transparents tipus de fi a fi (E2E) caldrà que el rellotge intern estigui sincronitzat amb el gran-mestre. Llavors es podran utilitzar un dels dos mètodes ja explicats, *Rate-control* (RC) o *Rate Estimation* (RE1).

És important destacar que si el retard de propagació s'implementa mitjançant el mecanisme del retard d'igual a igual amb la sincronització entre rellotges per RC, les mesures d'aquest retard no suposaran un problema perquè usaran rellotges sincronitzats. En contraposició, si s'utilitza el *Rate Estimation* RE1 existirà una diferència de temps entre la captura del temps en la recepció del *Pdelay-Req* i l'enviament del *Pdelay-Resp* a causa de la diferència entre rellotges interns. Per aquest motiu, caldrà corregir aquest fet utilitzant la informació del *Pdelay-Resp* i el bloc RE2 (veure figura 4.5).

Els rellotges transparents tipus d'igual a igual (P2P) s'utilitzen com elements de xarxa en general o com rellotges combinats amb rellotges ordinaris.

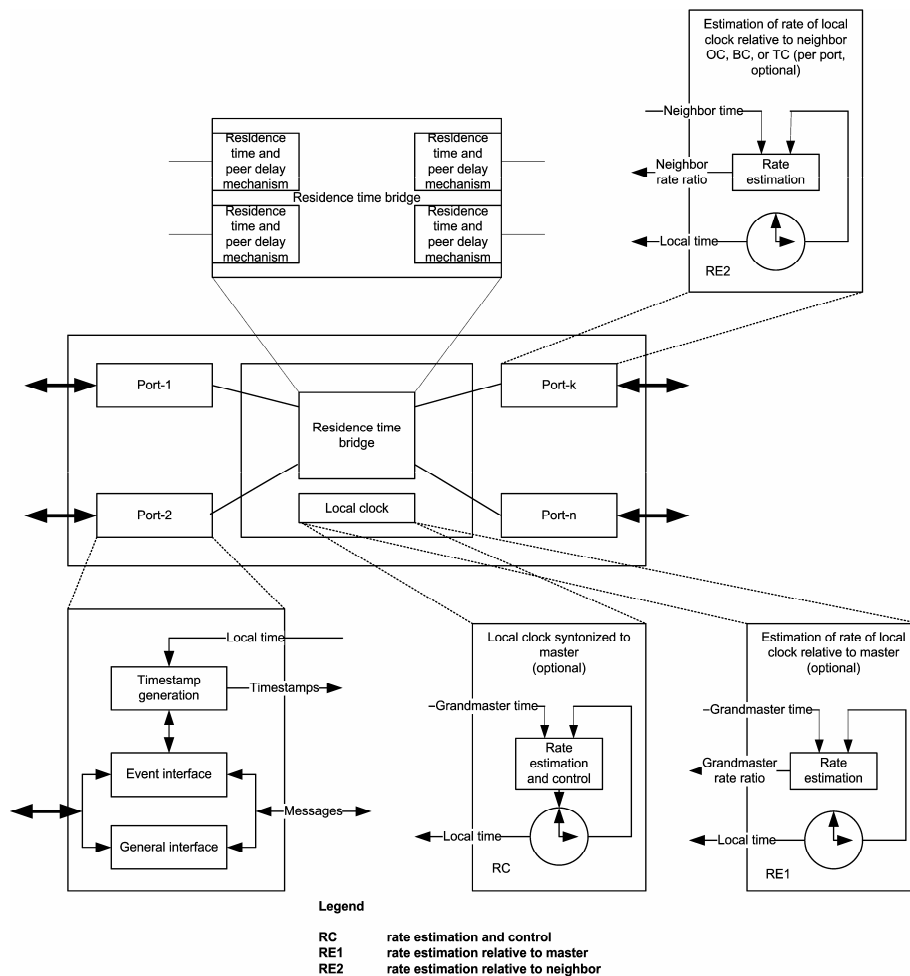


Figura 4.5: Model de Rellotge transparent tipus d'igual a igual (P2P). Font: Estàndard IEEE 1588 [10, p. 27]

### Node de gestió

Els nodes de gestió són aquells dispositius que tenen una o més connexions físiques a la xarxa i que serveixen d'interfícies humanes o de programari amb possibilitat de combinar-se amb qualsevol altre tipus de rellotge.

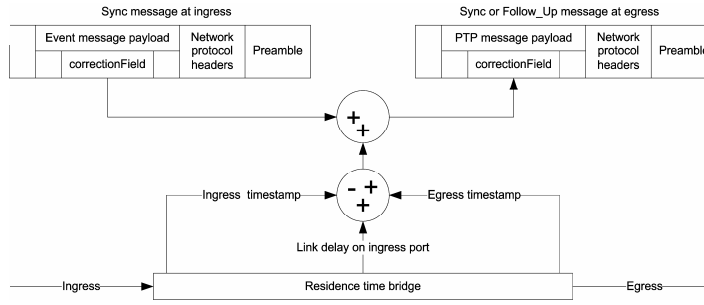


Figura 4.6: Procés de correcció en el Relloige transparent tipus d'igual a igual (P2P). Font: Estàndard IEEE 1588 [10, p. 28]

### 4.3.5 Sincronització PTP

En la sincronització de rellotges mitjançant el protocol PTP es poden diferenciar dues etapes d'operació: establiment de la diferència de temps entre mestre i esclaus, i la correcció dels rellotges dels esclaus.

#### Establiment de la jerarquia mestre-esclaus

En un domini determinat, cada port d'un relloige ordinari o de frontera executa un màquina d'estats independent. Per escollir l'estat que li correspon a cada port s'examina el contingut de tots els missatges d'anunciament i la informació predeterminada de cada relloige per determinar l'estat amb l'ajuda de l'algorisme de millor relloige mestre (en anglès *Best Master Clock* (BMC)).

El BMC examina les dades que descriuen cada un dels rellotges per determinar quin és el millor. També s'utilitza per descobrir nous rellotges a la xarxa amb potencialitat de convertir-se en els millors. En un domini determinat, el millor relloige serà aquell que tingui la major precisió en el comptatge del temps. L'algorisme està dividit en l'algorisme de comparativa d'informació i l'algorisme de decisió d'estat. Aquesta últim algorisme no es descriurà perquè en el sistema de sincronització del projecte existirà un mestre invariable, així que no caldrà fer ús del BMC.

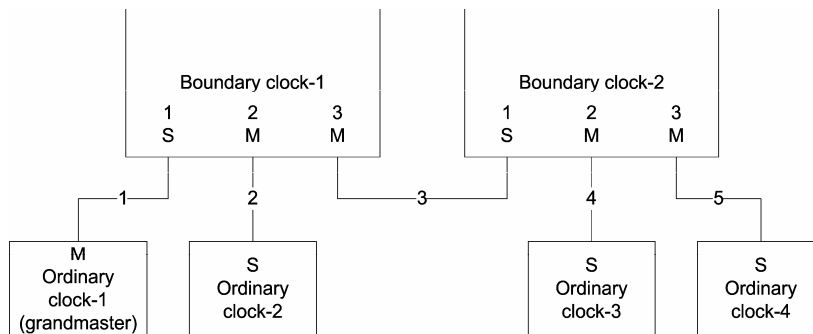


Figura 4.7: Procés de jerarquització de rellotges ordinaris i de frontera. Font: Estàndard IEEE 1588 [10, p. 32]

A la figura 4.7 s'ensenya un procés simple de jerarquització de la xarxa entre rellotges ordinaris i de frontera.

A la figura 4.7 s'observa que el gran-mestre es troba connectat al rellotge de frontera 1, el qual, és esclau respecte ell però mestre respecte a tota la resta de rellotges connectats a ell. El rellotge de frontera 2 és esclau respecte al 1, mentre que mestre respecte a tots els rellotges ordinaris connectats a ell.

### Sincronització entre rellotges ordinaris i de frontera amb el mecanisme de petició-resposta del retard

La sincronització entre rellotges ordinaris i de frontera es duu a terme mitjançant l'intercanvi de missatges PTP. A la figura 4.8 es mostra l'intercanvi de missatges utilitzat.

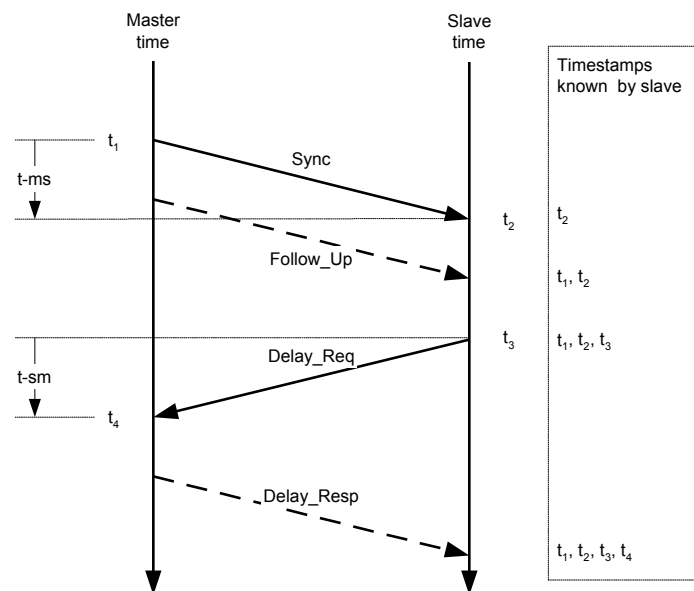


Figura 4.8: Intercanvi de missatge per a la sincronització de rellotges. Font: Estàndard IEEE 1588 [10, p. 34]

El procés de sincronització es dur a terme de la següent forma:

- El mestre envia un missatge de *sync* i guarda el temps  $t_1$  en el qual s'ha produït l'enviament.
- L'esclau rep el missatge de *sync* i guarda el temps  $t_2$  de recepció.
- El mestre incorpora el temps  $t_1$  en el missatge *sync* o en el missatge de *follow-up*.
- L'esclau envia un missatge de *delay-req* al mestre i es guarda el temps  $t_3$  d'enviament.
- El mestre rep el missatge de *delay-req* i guarda el valor  $t_4$  de recepció del missatge.
- El mestre envia el temps  $t_4$  a l'esclau mitjançant el missatge de *delay-resp*.

Al final d'aquest intercanvi l'esclau disposa de quatre temps per calcular la diferència entre rellotges i el retard de propagació dels missatges. Val dir que la mesura del retard de propagació es considera una propagació simètrica de missatges entre mestre-esclau i esclau-mestre.

Finalment dir que si el rellotge és de dues etapes es farà ús del missatge *follow-up* per enviar el temps  $t_1$ , mentre que si el rellotge és d'una sola etapa, el propi missatge *sync* incorporarà aquest temps i per tant no s'enviarà el missatge *follow-up*.

Es poden veure exemples en detall de sincronització a l'annex B.2.

### Sincronització entre rellotges amb mecanisme d'igual a igual (P2P)

El mecanisme per sincronitzar dos rellotges amb capacitat de mesurar el retard d'igual a igual (P2P) es pot veure a la figura 4.9.

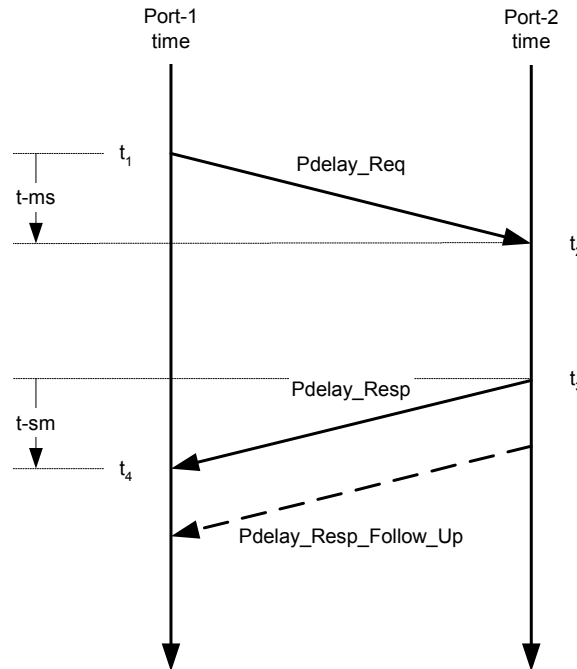


Figura 4.9: Intercanvi de missatge per a la sincronització d'igual a igual (P2P). Font: Estàndard IEEE 1588 [10, p. 35]

La mesura del retard de propagació comença en el port 1 enviant un missatge de *Pdelay-Req* i generant una captura del temps d'enviament,  $t_1$ . El port 2 rep el missatge, generant una captura del temps de recepció,  $t_2$ , seguit de l'enviament del missatge *Pdelay-Resp*, capturant el temps d'enviament,  $t_3$ . Per evitar errors per culpa de la diferència entre els rellotges interns, el port 2 envia el missatge de resposta just després d'haver rebut la petició. A més, el port 2 fa:

1. Retorna la diferència entre el  $t_2$  i  $t_3$  en el missatge *Pdelay-resp*.
2. Retorna la diferència entre el  $t_2$  i  $t_3$  en el missatge *Pdelay-resp-follow-up*.

3. Retorna els temps  $t_2$  i  $t_3$  en els missatges *Pdelay-resp* i *Pdelay-resp-follow-up* respectivament.

Finalment, el port 1 captura el temps  $t_4$  de recepció del *Pdelay-resp* i utilitza els quatre temps per calcular el retard de propagació entre els dos rellotges.

Pel correcte mesurament del retard és de vital importància que els rellotges dels dos rellotges transparents estiguin totalment sincronitzats amb el gran-mestre.

Es poden veure exemples en detall de sincronització a l'annex B.2.

### Generació de les captures dels temps

La captura del temps es dur a terme quan s'envia i es rep un missatge de tipus "esdeveniment". Com es pot veure a la figura 4.10, la captura del temps es fa a diversos nivells des del punt de vista de les diverses capes de *software*.

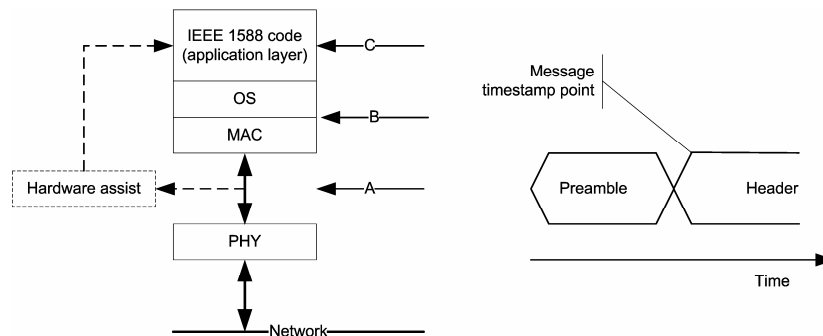


Figura 4.10: Possibilitats de captura del temps en la recepció i enviament dels missatges.  
Font: Estàndard IEEE 1588 [10, p. 36]

L'elecció del punt de captura del temps definirà de forma directe la precisió del temps capturat. A la figura 4.10 es defineixen tres punts diferents de captura del temps: a la capa física (A), al sistema operatiu (B) o en el propi codi PTP (C). Com més a dalt es faci la captura, més error s'induirà per culpa de l'indeterminisme temporal d'execució de les diverses capes de programari. Com a conclusió, la millor opció es realitzar una captura del temps a la capa física mitjançant un *hardware* específic que permeti capturar el temps exacte just quan s'hagi rebut o enviat un missatge.

## 4.4 Deriva, temps de residència i correccions d'asimetria

En aquest capítol es descriuran els mecanismes amb els quals s'obtingran les captures de temps d'elevada precisió en els missatges d'esdeveniment mitjançant les diverses correccions existents en un sistema PTP.

A l'annex B.2 es troben exemples de quantificació de les derives, temps de residència i correccions d'asimetria explicats en aquest capítol.

#### 4.4.1 Computació de la deriva en rellotges ordinaris i de frontera

L'error de temps entre un esclau i un mestre es defineix com la diferència de temps entre els dos rellotges mesurats en el mateix instant. Quan l'esclau rep un missatge *sync*, aquest haurà de capturar el seu temps corregit per la latència, i si correspon, per asimetries.

En un rellotge d'una etapa, l'error de temps es definirà amb l'expressió 4.1 expressades en segons i nanosegons.

$$\begin{aligned} \text{OffsetFromMaster} = & \text{syncEventIngresTimestamp} \\ & - \text{OriginTimestamp} - \text{meanPathDelay} - \text{correctionField} \end{aligned} \quad (4.1)$$

on:

- *syncEventIngresTimestamp*: correspon al temps  $t_2$  de recepció del missatge *sync*.
- *OriginTimestamp*: correspon al temps  $t_1$  d'enviament del missatge *sync*, enviat a través del propi missatge *sync*.
- *meanPathDelay*: correspon a la mitjana del temps de propagació dels missatges calculada en els següents apartats.
- *correctionField*: correspon a la correcció del temps  $t_1$  si s'aplica algun mètode de correcció.

Si el rellotge és de dues etapes, s'haurà d'esperar a la recepció del *follow-up* per calcular la deriva temporal, tal com es pot veure a l'expressió 4.2.

$$\begin{aligned} \text{OffsetFromMaster} = & \text{syncEventIngresTimestamp} - \text{preciseOriginTimestamp} \\ & - \text{meanPathDelay} - \text{correctionFieldSync} - \text{correctionFieldFollowUp} \end{aligned} \quad (4.2)$$

on:

- *preciseOriginTimestamp*: correspon al temps  $t_1$  d'enviament del missatge *sync*, enviat a través del missatge *follow-up*.
- *correctionFieldSync*: correspon a la correcció del temps  $t_1$  en el missatge *sync*, si s'aplica algun mètode de correcció.
- *correctionFieldFollowUp*: correspon a la correcció del temps  $t_1$  en el missatge *follow-up*, si s'aplica algun mètode de correcció.

#### 4.4.2 Mecanisme de petició-resposta del retard

Aquest mecanisme s'utilitza per mesurar el retard mitjà entre dos ports PTP que s'intercanvien missatges. Aquest mecanisme utilitza tots els missatges involucrats a la figura 4.8. L'expressió 4.3 defineix el càlcul d'aquest tipus de retard.

$$\text{meanPathDelay} = [(t_2 - t_1) + (t_4 - t_3)]/2 = [(t_2 - t_3) + (t_4 - t_1)]/2 \quad (4.3)$$



Si existeixen asimetries entre els ports d'enviament i recepció, o d'altres errors, s'hauran d'implementar les correccions que es descriuran posteriorment. En aquests casos, el retard es podrà calcular amb l'expressió 4.4.

$$\begin{aligned} meanPathDelay = [(t_2 - t_3) + (receiveTimestampDelayResp - OriginTimestamp \\ - correctionFieldSync - correctionFieldDelayResp)]/2 \end{aligned} \quad (4.4)$$

on:

- *receiveTimestampDelayResp*: correspon al temps  $t_4$  de recepció del missatge *delay-req*, enviat a través del missatge *delay-resp*.
- *correctionFieldDelayResp*: correspon a la correcció del temps  $t_4$ , si s'aplica algun mètode de correcció.

Finalment, si s'utilitzen rellotges de dues etapes, l'expressió 4.5 donarà el valor del retard.

$$\begin{aligned} meanPathDelay = [(t_2 - t_3) + (receiveTimestampDelayResp - preciseOriginTimestamp \\ - correctionFieldSync - correctionFieldFollowUp - correctionFieldDelayResp)]/2 \end{aligned} \quad (4.5)$$

#### 4.4.3 Mecanisme del retard d'igual a igual (P2P)

Aquest tipus de mecanisme mesura el retard de propagació entre dos ports que suportin el mecanisme del retard d'igual a igual. Aquest mecanisme, en rellotges ordinaris i de frontera, serà independent de si es troben en mestre o esclau. Els missatges que s'utilitzen en aquest cas es poden veure a la figura 4.9.

Pel càlcul del retard s'aplicarà l'expressió 4.6.

$$meanPathDelay = [(t_2 - t_1) + (t_4 - t_3)]/2 = [(t_2 - t_3) + (t_4 - t_1)]/2 \quad (4.6)$$

Igual que en el mecanisme de petició i resposta del retard, si existeixen asimetries entre els ports d'enviament i de recepció, o altres errors, s'hauran d'implementar les correccions que es descriuran posteriorment, calculant el retard amb l'expressió 4.7.

$$meanPathDelay = [(t_4 - t_1) - correctionFieldPdelayResp]/2 \quad (4.7)$$

on, el *correctionFieldPdelayResp* correspon a la correcció del temps  $t_1$ .

Finalment, si s'utilitzen rellotges de dues etapes, el retard es calcularà amb l'expressió 4.8.

$$\begin{aligned} meanPathDelay = [(t_4 - t_1) - (responseOriginTimestamp - RequestReceiptTimestamp) - \\ correctionFieldPdelayResp - correctionFieldPdelayRespFollowUp]/2 \end{aligned} \quad (4.8)$$

on:

- *responseOriginTimestamp*: correspon al temps  $t_3$  d'enviament del missatge *Pdelay-resp* enviat a través del missatge *Pdelay-resp-follow-up*.

- *RequestReceiptTimestamp*: correspon al temps  $t_2$  de recepció del missatge *Pdelay-req* enviat a través del missatge *Pdelay-resp*.
- *correctionFieldPdelayResp*: correspon a la correcció del temps  $t_2$  enviat a través del missatge *Pdelay-resp*.
- *correctionFieldPdelayRespFollowUp*: correspon a la correcció del temps  $t_3$  enviat a través del missatge *Pdelay-resp-follow-up*.

#### 4.4.4 Correccions de temps de residència en rellotges transparents

Tots els rellotges transparents hauran de generar una captura del temps d'entrada i sortida de tots els missatges d'esdeveniments PTP amb versió 2. Si existeixen asimetries de retard s'hauran d'aplicar les correccions pertinents. A l'expressió 4.9 es defineix el temps de residència d'un missatge PTP.

$$residenceTime = egressTimestamp - ingressTimestamp \quad (4.9)$$

El temps de residència dels missatges s'haurà d'afegir en el camp *correctionField*.

#### 4.4.5 Correccions d'asimetries

Els temps de propagació dels missatges poden ser diferents entre l'anada i la tornada segons les característiques de la xarxa. En termes d'asimetries es defineixen el valor mitjà del retard com  $(t_{ms} + t_{sm})/2$  segons la figura 4.11 i el valor d'asimetria. El valor d'asimetria es requereix per mesurar el retard entre mestre i esclau o entre qui respon i qui demana en un sistema d'igual a igual, sempre en la direcció  $t_{ms}$ .

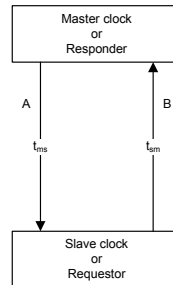


Figura 4.11: Asimetria en la propagació dels missatges. Font: Estàndard IEEE 1588 [10, p. 47]

L'error d'asimetria es defineix amb el terme *DelayAsymmetry*, tal com es pot veure a les expressions 4.10 i 4.11.

$$t_{ms} = meanPathDelay + delayAsymmetry \quad (4.10)$$

$$t_{sm} = meanPathDelay - delayAsymmetry \quad (4.11)$$

Les correccions per asimetria també s'aplicaran en el camp *correctionField*, tot i així, cal tenir present que en el protocol no es descriu cap mecanisme per detectar les asimetries en la propagació dels missatges.

## Capítol 5

# Disseny i implementació del programari basat en IEEE 1588

### 5.1 Introducció

En aquest capítol es descriurà tot el programari implementat basat en l'Estàndard IEEE 1588 descrit al capítol 4. La implementació PTPd (descrita a l'annex a C) s'ha utilitzat com a referència per desenvolupar el següent programari. Cal tenir en compte que tot el codi s'ha implementat mitjançant el programari *Code Composer Studio* v5.5 del fabricant *Texas Instruments* i s'ha executat al microprocessador *Concerto*.

El microprocessador *Concerto* disposa de dos nuclis, i per tant, la descripció del programari implementat es farà per separat per cadascun d'ells. L'estructuració en dos nuclis permetrà establir un sistema de sincronització genèric i moduble: per una banda, s'implementarà el codi genèric, basat en IEEE 1588, al nucli Cortex M3; i per altre, la sincronització dels PWM al nucli C28. D'aquesta forma, en primer lloc es descriurà tot el sistema *software* del nucli Cortex M3, i posteriorment, el del nucli DSP C28.

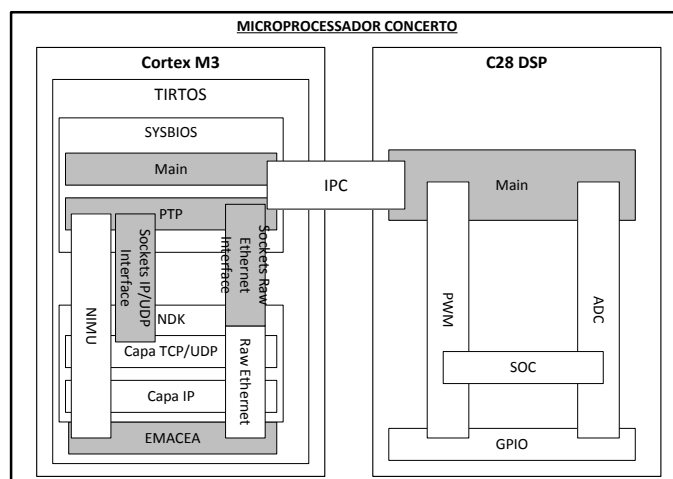


Figura 5.1: Estructura general del sistema *software* implementat (color gris) interaccionant amb el sistema *software* del fabricant

A la figura 5.1, es pot veure en color gris l'estructura general del sistema *software* implementada. Així, queda totalment definit l'abast de la implementació *software* desenvolupada i la relació amb tot el programari aportat per *Texas Instruments* (descriu a l'annex E).

## 5.2 Versió de l'estàndard IEEE 1588 implementada

A continuació es descriurà el model de sincronització implementat en el projecte en base a l'estàndard IEEE 1588. El protocol dissenyat incorpora les funcionalitats necessàries pel projecte, eliminant tot allò innecessari del IEEE 1588. Així doncs, les característiques principals del sistema implementat són:

- Implementació de rellotges ordinaris en mode mestre i esclau.
- Utilització del sistema d'enviament precís del  $t_1$  mitjançant el missatge *follow-up*.
- Implementació de les captures de temps per *hardware*.
- Implementació del mecanisme de petició i resposta del retard.
- Missatges de sincronització utilitzats: *sync*, *follow-up*, *delay-req* i *delay-resp*.
- Utilització d'un sistema de control dels rellotges dels esclaus pròpi.
- Protocol PTP compatible amb protocols *Ethernet* i UDP/IP.
- Màquina d'estats simplificada en mode mestre, esclau o fallada.
- Elements de xarxa sense suport al PTP, és a dir, no existiran rellotges de frontera ni transparents.

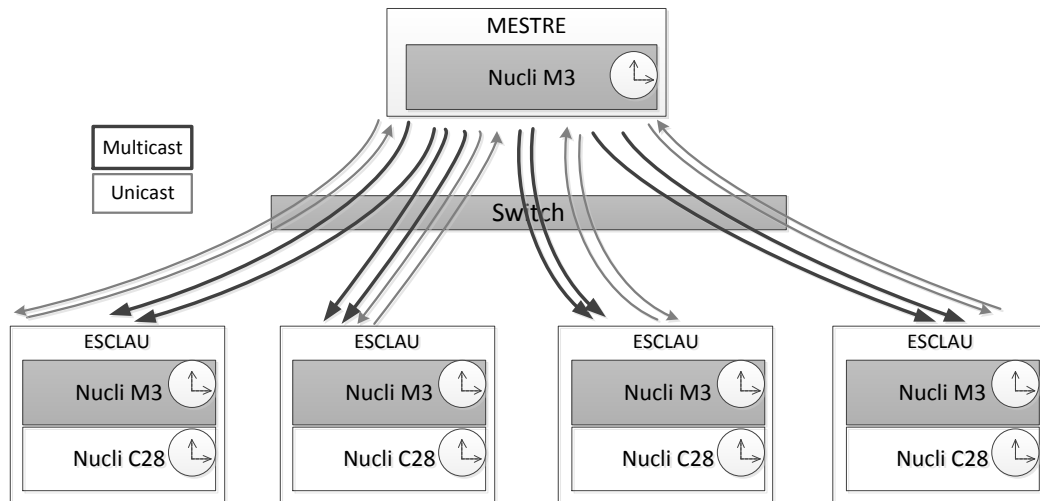


Figura 5.2: Estructura general del sistema de sincronització des del punt de vista del nucli M3 (indicat en gris)

A la figura 5.2 es pot veure la versió del sistema PTP implementada des del punt de vista del sistema de sincronització genèric (indicat en gris). Existeix un node mestre i una sèrie

d'esclaus amb una xarxa privada sense suport al PTP. Així, existiran dos missatges de tipus *multicast*, és a dir, missatges que s'enviaran a tots els dispositius a sincronitzar. Aquests missatges seran el *sync* i *follow-up* enviats pel mestre del sistema. Per altre costat, els missatges de petició del retard, *delay-req* i *delay-resp* seran de tipus *unicast*, és a dir, tindran un sol destinatari. En el cas del *delay-req* s'enviarà al mestre del sistema mentre que el *delay-resp* s'enviarà a l'esclau que fa la petició del retard.

### 5.2.1 Concepte de rellotge intern

El rellotge intern de cada dispositiu PTP serà una variable que indicarà els segons i nanosegons del sistema actuals. Aquest rellotge intern estarà format per tots els elements de la figura 5.3. Es pot veure que la font d'aquest rellotge serà l'oscil·lador del dispositiu amb una certa variabilitat, el qual es multiplica per obtenir la freqüència nominal del sistema (150 MHz). A partir d'aquesta freqüència es calcularà l'angle del rellotge ( $\theta$ ) fent la integració de tots els polsos del rellotge de 150 MHz. Amb aquesta operació s'obté un comptador creixent de "tics" on cada "tic" té una durada de 6,666 ns a 150 MHz.

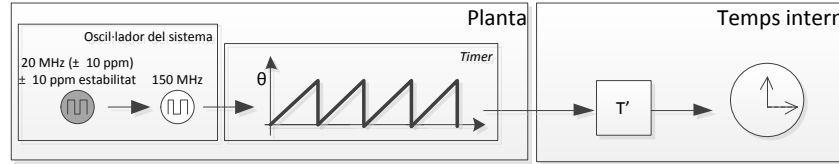


Figura 5.3: Generació del rellotge intern

Un cop obtingut l'angle del sistema (comptador creixent o *timer*) es calcularà el temps transcorregut mitjançant la fórmula 5.1. El temps local serà propi del dispositiu i la seva precisió dependrà de la precisió del oscil·lador. D'aquesta forma apareix el concepte de rellotge intern, el qual s'obté mitjançant la fórmula 5.2. Es pot veure la relació entre el període,  $T$ , dependent del oscil·lador i el període  $T'$ , que aportarà el controlador per obtenir un senyal sincronitzat amb el mestre. Si els dos oscil·ladors fossin perfectes, aquesta relació seria unitària.

$$temps\ local = \theta \cdot T = \theta \cdot 6,666 \quad (5.1)$$

$$temps\ intern = \theta \cdot T' = \frac{T'}{T} \cdot temps\ local \quad (5.2)$$

Si el rellotge funciona a 150 MHz, el període a multiplicar ( $T$ ) haurà de ser de 6,666 ns. Si la freqüència varia per culpa de les variacions de l'oscil·lador respecte el mestre, caldrà que el període a multiplicar ( $T'$ ) variï per obtenir un temps d'acord amb el mateix. Aquesta operació serà la que farà el sistema de control dels rellotges que es descriurà posteriorment. En les anàlisis posteriors, el període a aplicar també s'anomenarà "guany del sistema".

A la figura 5.4 es poden veure dos rellotges que, tot i haver iniciat al mateix instant, no estan en sincronisme per culpa de la variabilitat en els oscil·ladors. D'aquesta forma es comprova que mitjançant els temps locals (5.1) dos rellotges no podran estar en sincronisme.

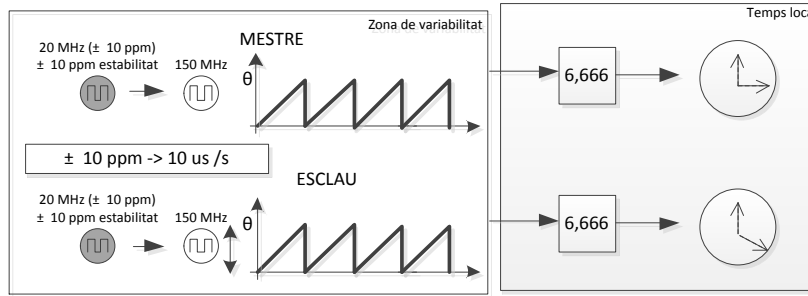


Figura 5.4: Problemàtica en la sincronització entre rellores degut a la variabilitat del oscil·lador de cada dispositiu

### 5.2.2 Sistema d'ajust de rellores

Tal com s'ha vist a l'apartat anterior, és necessari crear una estratègia de control per mantenir els rellores dels esclaus sincronitzats amb el mestre. El control dels rellores es dividirà en dues parts: ajust per temps als primers instants de sincronització i ajust per freqüència per la resta de temps.

El primer sistema de control permetrà ajustar dos rellores que s'han iniciat en instants de temps diferents. Per altre banda, el segon sistema d'ajust permetrà obtenir dos rellores totalment sincronitzats al llarg del temps a partir d'oscil·ladors amb una certa variabilitat.

A la figura 5.5 es poden mostren els diferents blocs que formen part del control dels rellores: càlcul de l'error, ajust per temps i ajust per freqüència. El sistema d'ajust per temps actuarà directament sobre el rellotge de l'esclau mentre que l'ajust per freqüència variarà el període ( $T'$ ), és a dir, la freqüència per sincronitzar els dos rellores.

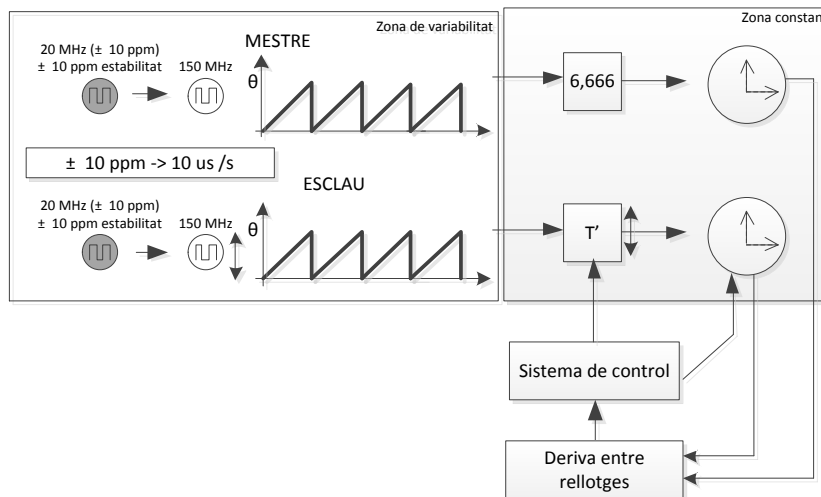


Figura 5.5: Sistemes de control de rellores amb els dos sistemes d'ajust i el càlcul de l'error

A continuació es descriurà el sistema de càlcul de l'error entre rellores i els dos sistemes d'ajust.

### Sistema del càlcul de l'error entre rellotges

En aquest apartat es descriurà de quina forma l'esclau obté l'error entre el seu rellotge i el rellotge del mestre. Aquest error serà l'entrada del controlador d'ajust per freqüència i serà el procediment més crític de tot el sistema en termes de precisió.

A la figura 5.6 es pot veure un sistema, a mode d'exemple, format per un mestre i un esclau el qual es vol sincronitzar amb el mestre. Cada sistema està representat d'acord amb el model de capes OSI (veure annex D.2), on apareixen tots els protocols implicats en la comunicació dels nodes pel càlcul de l'error. Per dur a terme la comunicació es podran establir dos camins en la pila de protocols en funció si el sistema es configura sobre *Ethernet* directament (color negre) o s'utilitza el protocol UDP-IP (color gris).

A la part central de la figura 5.6, es mostra l'intercanvi de missatges portat a terme per obtenir l'error del sistema mitjançant el mecanisme de petició i resposta del retard (4.3.5). En la comunicació es fa èmfasi als retards inherents als missatges que caldrà quantificar.

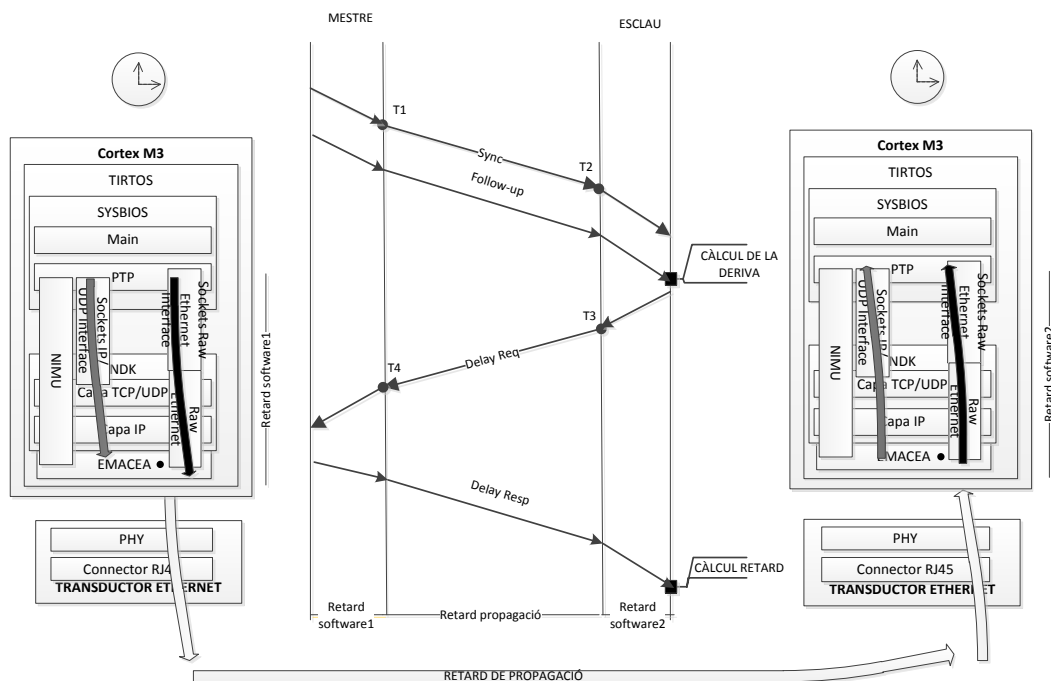


Figura 5.6: Estructura general del intercanvi d'informació i càlcul per dur a terme la sincronització entre rellotges

L'anàlisi de la quantificació de l'error es durà a terme en dues fases a partir d'un sistema mestre-esclau. L'esclau tindrà una deriva de 2 unitats respecte el mestre i el retard de propagació del sistema serà de 8 unitats (veure figura 5.7).

En primer lloc, es farà el càlcul de l'error sense tenir en compte els retards en la comunicació. En aquest cas, l'error serà directament la diferència entre  $t_2$  i  $t_1$ . El temps  $t_1$  correspon al temps precís d'enviament del *sync*, el qual s'envia a l'esclau a través del missatge *follow-up*. El temps  $t_2$  serà el temps precís de recepció del missatge *sync* a l'esclau. A partir de la figura 5.7 es pot deduir la fórmula de  $t_2$  (veure expressió 5.3) que permetrà arribar a calcular la deriva del sistema mitjançant l'expressió 5.4 sense considerar els retards.

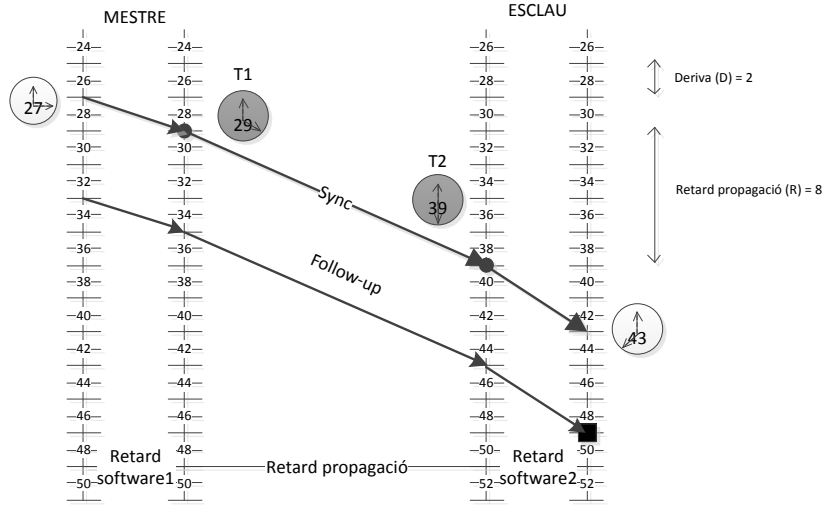


Figura 5.7: Descripció del sistema de quantificació de la deriva entre el rellotge del mestre i l'esclau, a mode d'exemple

$$t_2 = t_1 + Deriva + Retard = 29 + 2 + 8 = 39 \quad (5.3)$$

$$Deriva' = t_2 - t_1 = t_1 + Deriva + Retard - t_1 = Deriva + Retard = 10 \quad (5.4)$$

La deriva obtinguda sense tenir en compte el retard ( $Deriva'$ ) és de 10 unitats, la qual difereix de la deriva real entre rellotges de 2 unitats.

Així, en segon lloc, per solucionar la problemàtica anterior caldrà desacoblar tots els retards que porta implícita la fórmula de la deriva. Per això, caldrà un mètode per quantificar o eliminar els retards existents. Tal com es veu a la figura 5.8, existeixen dos tipus de retards en el sistema que dificulten establir la deriva exacte entre rellotges.

Així, existeix un retard de propagació *software* pel fet de treballar amb múltiples protocols de comunicacions. Aquesta problemàtica es resol capturant els quatre temps, indicats en gris a les figures 5.7 i 5.8, a la capa 2 d'enllaç de dades. El punt de captura d'aquests temps s'indicarà amb un punt a les figures 5.6, 5.7 i 5.8.

Aquest sistema es descriurà i s'implementarà a la capa física del *Ethernet* (5.3.5).

El retard de propagació ( $Retard'$ ) dels missatges serà inevitable i, per tant caldrà quantificar-lo. Aquesta quantificació es farà amb els temps  $t_1$ ,  $t_2$ ,  $t_3$  i  $t_4$ . El temps  $t_3$  correspondrà a l'instant de temps d'enviament del *delay-req* per part de l'esclau. Finalment, el temps  $t_4$  correspondrà a l'instant de temps de recepció del *delay-req* al mestre, enviat a través del missatge *delay-resp* a l'esclau.

A partir de la figura 5.8, es poden deduir les fórmules 5.5 i 5.6. Aquest retard (tal com s'indica a la referència [11]) serà recomanable que estigui afectat per un filtre (calculat a l'annex F) i una saturació per evitar valors no significatius.

$$t_4 = t_3 - Deriva + Retard = 29 - 2 + 8 = 35 \quad (5.5)$$



$$Retard' = \frac{(t_2 - t_1 - (t_4 - t_3))}{2} = \frac{(Deriva + Retard) + (-Deriva + Retard)}{2} = Retard = 8 \quad (5.6)$$

Així doncs, un cop obtingut el retard exacte ( $Retard'$ ) ja es podrà calcular la deriva real entre rellotges ( $Deriva''$ ), amb la fórmula 5.7.

$$Deriva'' = t_2 - t_1 - Retard = (Deriva + Retard) - Retard = Deriva = 2 \quad (5.7)$$

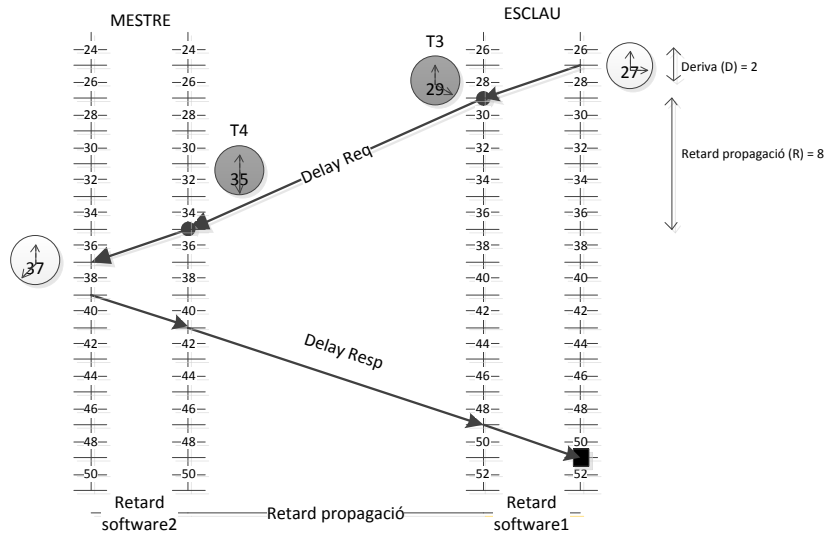


Figura 5.8: Descripció del sistema de quantificació i eliminació dels retards, a mode d'exemple

D'aquesta forma es pot veure clarament dos càlculs en el sistema: deriva i retard. El càlcul de la deriva es durà a terme a una freqüència de 20 ms, la qual vindrà determinada per la freqüència d'enviament del *sync* i *follow-up* per part del mestre. Per altre banda, el retard de propagació només dependrà de la topologia i trànsit de la xarxa, variabilitat dels quals serà molt baixa. Aquest fet suposarà que la petició del retard per part dels esclaus sigui a una freqüència més baixa (400 ms) que l'actualització de la deriva. Els instants de temps de petició del retard dels diferents esclaus serà diferent per evitar col·lisions de missatges o saturació del mestre.

### Format dels missatges de sincronització

Els missatges PTP utilitzats per la quantificació de l'error entre rellotges estaran formats per una capçalera comuna i uns camps específics.

A la capçalera es troben els mètodes de transport utilitzats, la versió del PTP, el tipus de missatge, la longitud i l'identificador. El dos primers camps de la capçalera seran comuns a tots els tipus de missatges mentre que la resta no. L'identificador de cada missatge permetrà identificar les parelles de missatges de *sync* i *follow-up*, i de *delay-req* i *delay-resp* associades. D'aquesta forma, l'esclau podrà identificar de forma unívoca a quin missatge correspon el

El camp específic correspondrà al temps expressat en segons i nanosegons. Aquests camps s'utilitzaran en missatges de tipus *follow-up* i *delay-resp*, els quals portaran els temps  $t_1$  i  $t_3$  respectivament.

Ajust per temps

L'estratègia, en aquest cas, és fixar el temps  $t_1$  directament al rellotge intern de l'esclau considerant tots els retards implicats. Aquests retards estaran formats per dos termes. El primer terme serà una aproximació inicial del retard de propagació. Per altre banda, el segon terme serà un retard d'inici definit com el retard entre l'instant que es fa l'ajust del temps i l'instant d'arribada del missatge *sync*. Cal recordar que el temps  $t_1$  arriba amb el missatge *follow-up* i que per tant, no es podrà fer el càlcul fins a la recepció d'aquest.

A la figura 5.9 es pot veure l'estratègia utilitzada per portar inicialment el rellotge de l'esclau el més aprop possible del rellotge del mestre. El quadrat negre indica l'instant de càlcul, mentre que les fletxes grises el canvi de temps intern de l'esclau. El punt crític d'aquest sistema d'ajust serà el retard de propagació estimat, el qual podrà diferir del retard real. Així doncs, en l'exemple d'ajust per temps proposat, el rellotge intern de l'esclau passarà de 49 unitats a 47 unitats establint-se, l'ajust per temps.

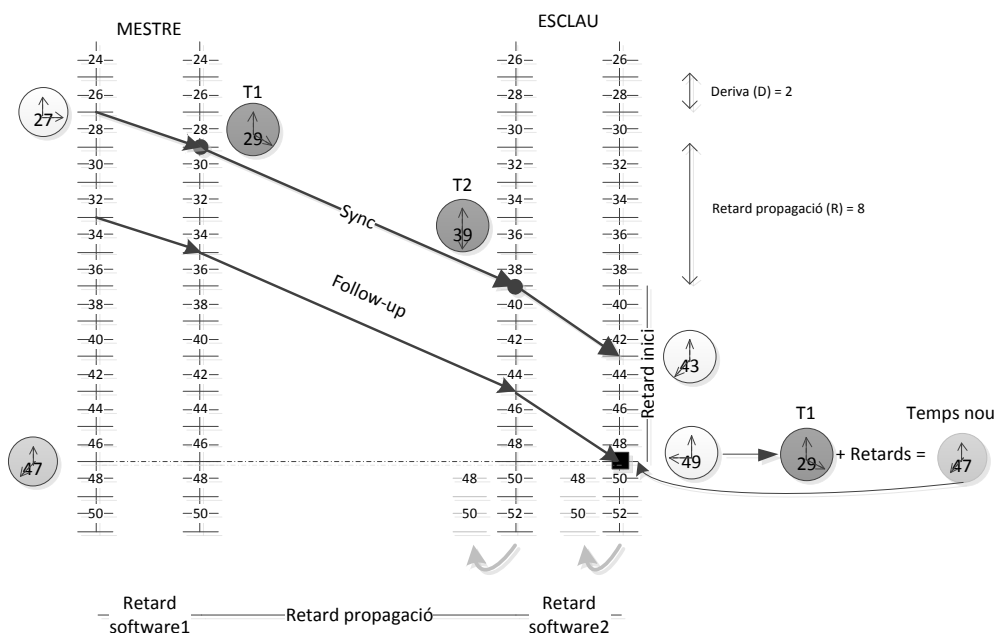


Figura 5.9: Sistema d'ajust per temps per inicialitzacions del sistema o per derives entre rellotges més grans a 1 segon, a mode d'exemple

### Ajust per freqüència

L'ajust per freqüència actuarà per realitzar un ajust continu del ritme del rellotge de l'esclau per mantenir el sincronisme amb el mestre.

A la figura 5.10 es pot veure el sistema de control amb el qual s'obtindrà la freqüència a aplicar per obtenir un rellotge intern totalment sincronitzat amb el mestre al llarg del temps.

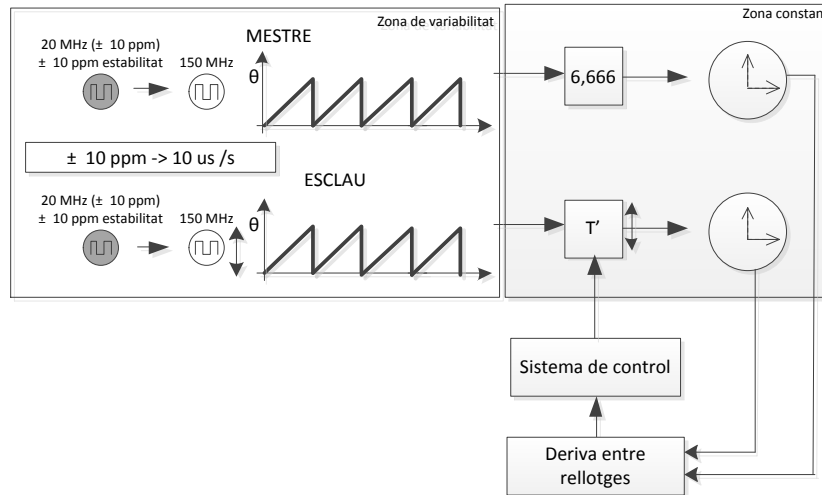


Figura 5.10: Esquema general del sistema d'ajust per freqüència en un sistema mestre-esclau

El sistema de la figura 5.10, des del punt de vista de control, es pot representar mitjançant la figura 5.11 on es veuen tres parts perfectament diferenciades: la part de càlcul de l'error descrita a l'apartat 5.2.2, la planta del sistema descrita en el concepte de rellotge intern (5.2.1) i la part de control descrita en el present apartat. La part de càlcul de l'error del sistema es fa a una freqüència de 20 ms i en dues etapes: la deriva amb un retard de propagació estimat i la deriva exacte.

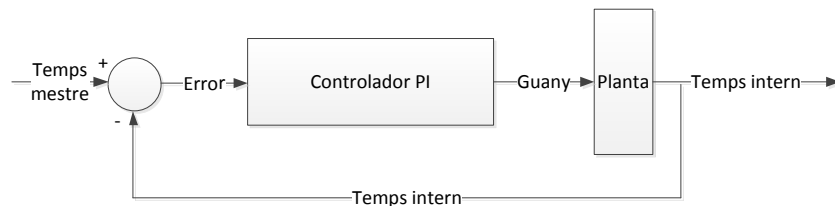


Figura 5.11: Esquema del sistema de control per freqüència de rellotges

Així doncs, el sistema de control que s'aplicarà correspondrà a una PLL (*Phase Lock Loop*). Una PLL és un sistema de control que genera a la seva sortida, un senyal amb la mateixa fase i freqüència que el senyal d'entrada. Aquesta definició s'ajusta a la necessitat del projecte de disposar de dos senyals amb la mateixa freqüència per generar dos temps síncrons.

Així doncs, el sistema de control estarà format per una planta de primer ordre amb un integrador. Pel que fa el control s'aplicarà un sistema de primer ordre amb una part integral i proporcional. Tota la informació en detall d'aquest controlador es podrà veure en detall a l'annex F. Finalment s'ha aplicat un controlador incremental amb una freqüència de mostreig de 20 ms amb uns paràmetres del controlador de  $K_p = 17,77$   $K_i = 157,91$ .

### 5.3 Implementació del sistema de sincronització al nucli Cortex M3

Tot el sistema de sincronització basat en l'estàndard IEEE 1588 s'implementarà al nucli Cortex M3. Aquest nucli utilitzarà el RTOS (*Real Time Operating System*), és a dir, el sistema operatiu en temps real de *Texas Instruments* (descriu al capítol E.3). Aquest fet farà que el sistema de sincronització segueixi un sistema de tasques i que totes les comunicacions UDP/IP es gestionin a través del mòdul NDK *Network Development Kit* (descriu al capítol E.3.3), el qual també forma part del sistema operatiu.

Les funcions que haurà de dur a terme el nucli M3 serà gestionar tots els missatges de sincronització, a més d'executar l'algorisme de control per sincronitzar el rellotge intern amb el mestre en el cas de ser esclau. També caldrà que el nucli Cortex M3 es comuniqui amb al nucli DSP C28 perquè aquest pugui generar uns PWM sincronitzats amb el mestre.

Tal com es pot veure a la figura 5.1 el *software* implementat està dividit en un conjunt de 5 de fitxers:

- Fitxer principal: Implementa les inicialitzacions del sistema, del protocol PTP i del sistema operatiu.
- PTP: Implementa el nucli del protocol PTP.
- Interfície *Sockets Raw Ethernet*: Implementa l'adaptació entre la pila UDP/IP per *sockets* de tipus *Raw Ethernet* del mòdul NDK, i el protocol PTP.
- Interfície *Sockets UDP/IP*: Implementa l'adaptació entre la pila UDP/IP del mòdul NDK, i el protocol PTP.
- EMACCEA: Implementa la capa 2 d'enllaç de dades amb funcionalitat de captures dels temps precis d'enviament i recepció dels missatges *Ethernet*.

A la figura 5.12 es pot mostra la relació entre els cinc conjunts de fitxers desenvolupats en el projecte (indicats en color gris), en relació a la resta de *software*.

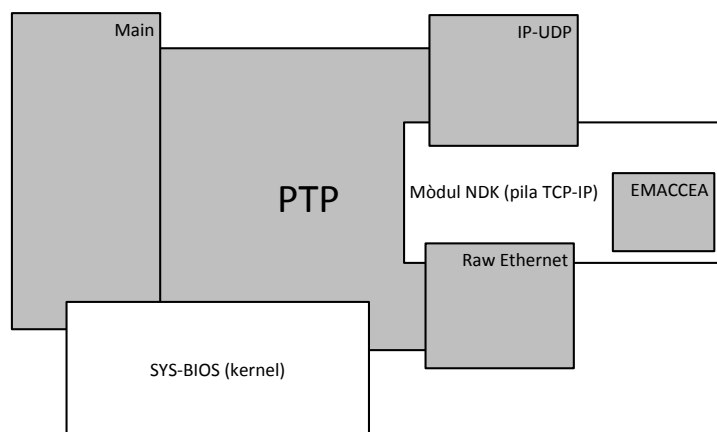


Figura 5.12: Relació entre les implementacions *software* incorporades al nucli M3 (en gris s'indiquen els fitxers desenvolupats)

### 5.3.1 Fitxer principal

El fitxer principal tindrà la funció d'inicialitzar tot el sistema, a més de cridar el protocol PTP i iniciar el sistema operatiu RTOS. En aquest fitxer es trobarà la funció que actualitzarà, cada cop que s'actualitzi el temps intern del nucli M3, totes les variables necessàries pel C28 per generar els PWM sincronitzats. Un altra funció important serà la de generar una interfície pel port sèrie per poder programar el mode d'operació del PTP. Les configuracions disponibles seran: mode esclau o mestre i, mode IP-UDP o *Ethernet* tal com es pot veure a la figura 5.13.

```
===== Welcome to the Console of Precision Time Protocol =====
Let's go to configure the system.
Enter mode of communication (R->Raw Ethernet or I-> IP-UDP)
R
Mode Raw Ethernet configured
Enter mode of PTP (M->Master or S->Slave)
S
Mode Slave configured
System configured!, PTP will be start
Node; 3
Offset and Delay; -140,-8373
Offset and Delay; 123,-8367
Offset and Delay; 55,-8361
Offset and Delay; -35,-8345
█
```

Figura 5.13: Captura de la consola sèrie per programar el sistema PTP llençada des del fitxer principal

### 5.3.2 Protocol PTP

Aquest fitxer incorpora totes les funcions a fi de que el sistema PTP pugui funcionar com a rellotge ordinari en mode mestre o esclau. Les funcionalitats principals incorporades es poden dividir en tres: funcions pròpies del sistema PTP, funcions de càlcul i funcions dependents del sistema operatiu.

Les funcions pròpies del sistema PTP es poden veure a continuació. Entre parèntesis s'indica si la funció només s'executarà en mode mestre (M), esclau (E) o ambdós (M/E).

- Inicialització (M/E): Inicialitzarà totes les variables del sistema al seu valor per defecte.
- Tancament del sistema PTP (M/E): Permetrà aturar totes les tasques del PTP.
- Actualització del rellotge intern del sistema (M/E): Aquesta funció serà la que convertirà els "tics" del comptador del sistema en temps expressat en segons i nanosegons en funció del guany aplicat pel controlador.
- Identificació dels tipus de missatges d'esdeveniment i generals (M/E): Aquesta funció permetrà separar els tipus de missatges en recepció en funció del tipus.
- Recepció d'un missatge *sync* (E): En aquesta funció es guardarà el temps  $t_2$  de recepció, així com l'identificador del missatge *sync*.
- Recepció d'un missatge *follow-up* (E): En aquesta funció s'executarà tot el sistema d'ajust del rellotge perquè ja es disposarà del temps  $t_1$ . També es farà l'enviament de la petició del retard al mestre cada cert temps.

- Recepció d'un missatge *delay-req* (M): En aquest cas s'enviarà un missatge de resposta del retard amb el temps de recepció de la petició ( $t_3$ ) i amb el mateix identificador.
- Recepció d'un missatge *delay-resp* (E): En aquesta funció s'actualitzarà el retard de propagació, ja que es disposarà dels temps  $t_1$ ,  $t_2$ ,  $t_3$  i  $t_4$ .
- Empaquetat dels missatges *sync* (M): Consistirà en omplir el missatge de sortida amb el tipus de missatge, longitud, identificador i el temps no precís  $t_1$ .
- Empaquetat dels missatges *follow-up* (M): Consistirà en omplir el missatge de sortida amb el tipus de missatge, longitud, identificador i el temps precís  $t_1$ .
- Empaquetat dels missatges *delay-req* (E): Consistirà en omplir el missatge de sortida amb el tipus de missatge, longitud, identificador i el temps no precís d'enviament (el qual no s'utilitza en el sistema de càlcul de l'error).
- Empaquetat dels missatges *delay-resp* (M): Consistirà en omplir el missatge de sortida amb el tipus de missatge, longitud, identificador i el temps precís  $t_3$ .

Les funcions pròpies de càlcul es poden veure a continuació:

- Afegir nanosegons al temps intern.
- Restar nanosegons al temps intern.
- Passar de captura de temps a temps intern.
- Obtenir la diferència entre dos temps interns.
- Fixar el valor del temps intern.

Finalment les funcions dependents del sistema operatiu es poden veure a continuació:

- Relotge de període igual 10 ms: Permetrà activar la tasca del mestre a través del semàfor d'aquest, cada 10 ms.
- Relotge de període igual 1000 ms: Permetrà activar la tasca d'esclau a través del semàfor d'aquest, cada segon.
- Tasca principal del sistema PTP: En aquesta tasca es crearan les tasques de mestre o esclau segons el mode de funcionament, i es durà a terme de forma contínua el tractament dels missatges entrants. La prioritat d'aquesta tasca serà de 6 (màxima prioritat).
- Tasca que desenvolupa les funcions de mestre: Serà l'encarregada de realitzar enviaments de *sync* i *follow-up* al ritme de 20 ms. Aquesta tasca tindrà una prioritat de 1 (prioritat més baixa).
- Tasca que desenvolupa les funcions d'esclau: Aquesta tasca serà l'encarregada d'actualitzar el relotge intern cada segon, i enviar per consola, la deriva i retard actual del sistema. També indicarà la pèrdua de sincronisme a través de la consola i els leds del sistema. Aquesta tasca tindrà una prioritat de 2.
- Semàfor per a la tasca de mestre: S'utilitzarà per ficar o treure d'espera la tasca del mestre.
- Semàfor per a la tasca d'esclau: S'utilitzarà per ficar o treure d'espera la tasca d'esclau.

Les funcions dependents del sistema operatiu seran les que caldrà revisar si el sistema *software* s'implementa en una plataforma diferent.

### 5.3.3 Interfície *Sockets Raw Ethernet*

Aquest fitxer serà l'encarregat de fer d'interfície entre la part de comunicacions del PTP i la part de comunicacions del mòdul NDK del sistema operatiu RTOS de *Texas Instruments* (veure figura 5.1). Aquesta interfície s'utilitzarà sempre que es faci ús de les comunicacions *Raw Ethernet*, és a dir, quan només s'utilitzi el protocol IEEE 802.3 (veure annex D.5.2).

Les funcions que es podran trobar en aquest fitxer es veuran a continuació. Cal dir que entre parèntesis s'indica a quin grup pertanyeràn les funcions: Inicialització (I), Recepció (R), Tractament del missatge (M) i Enviament (E).

- Inicialització del sistema de comunicacions (I)
- Comprovació si el missatge és PTP (R)
- Comprovació si el missatge és esdeveniment (R)
- Comprovació si el missatge és general (R)
- Fixar missatge d'esdeveniment *unicast* (M)
- Fixar missatge d'esdeveniment *multicast* (M)
- Fixar missatge general *unicast* (M)
- Fixar missatge d'esdeveniment *multicast* (M)
- Obtenir missatge en recepció (M)
- Enviar missatge d'esdeveniment *unicast* (E)
- Enviar missatge general *unicast* (E)
- Enviar missatge d'esdeveniment *multicast* (E)
- Enviar missatge general *multicast* (E)
- Obtenir adreça MAC del transmissor (R)
- Fixar adreça de MAC al missatge de sortida (E)

Les funcions de tractament de missatges d'enviament o de recepció tindran la funcionalitat de desacoblar la capçalera del *Raw Ethernet* respecte la informació del PTP. D'aquesta forma, des del punt de vista del PTP, el missatge només estarà format per la informació pròpia del mateix. La capçalera del protocol IEEE 802.3 la gestionarà de forma íntegra el mòdul de *Raw Ethernet*, seguint el format explicat a l'annex D.5.2.

Existirà una tasca que permetrà rebre missatges de *Raw Ethernet* de forma que existeix un sol *socket* des del punt de vista del NDK però dos des del punt de vista del PTP. Així, pel protocol PTP hi haurà un *socket* pels missatges generals i un altre pels missatges d'esdeveniment, tal com estableix el protocol. En el cas de l'enviament passarà justament el mateix perquè s'utilitzaran quatre funcions independents d'enviament. El perquè de l'existència d'un sol *socket* al costat del NDK és a causa de no poder crear dos *sockets* de tipus *Raw Ethernet* en un mateix dispositiu.

A la figura 5.14 es poden veure tots els conceptes explicats anteriorment.

Així, aquest fitxer permetrà fer compatible el sistema de comunicacions concebut en el protocol PTP, amb totes les restriccions i imposicions del sistema de programació del mòdul NDK.

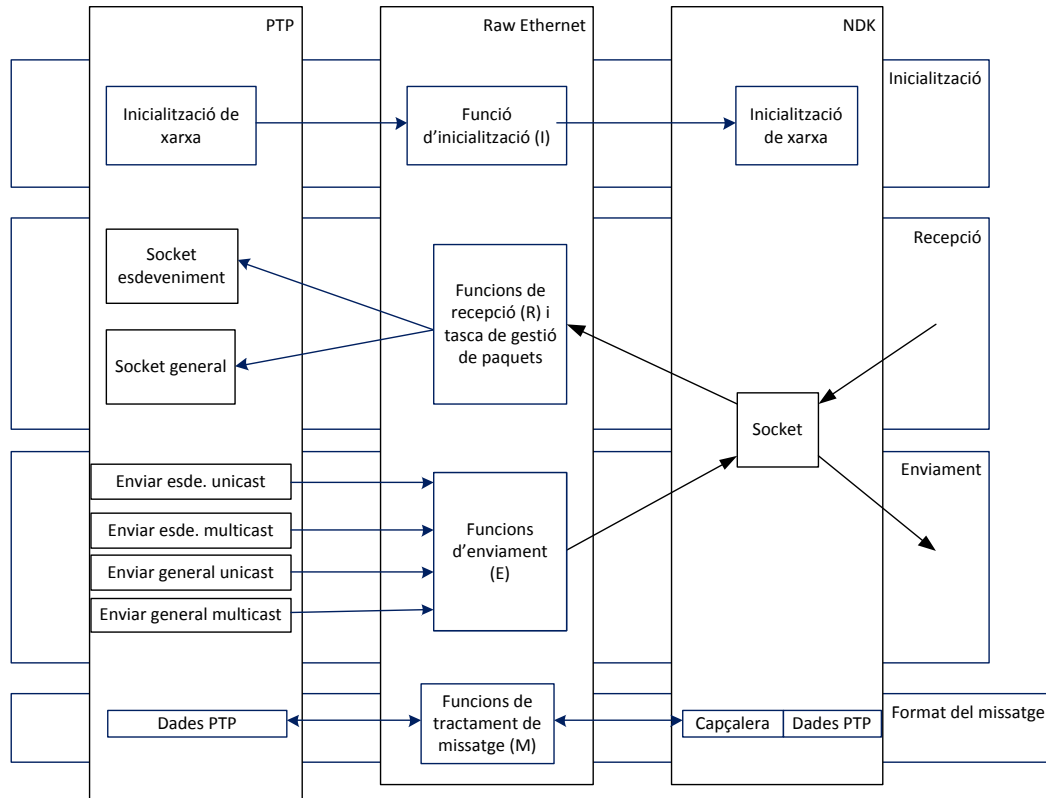


Figura 5.14: Visió general de les funcions del fitxer *Raw Ethernet* per la compatibilitat del PTP i el NDK

### 5.3.4 Interfície *Sockets UDP/IP*

L'objectiu d'aquesta interfície serà molt semblant a l'anterior, amb l'única diferència que aquesta s'utilitzarà quan es faixi ús de les comunicacions pels protocols UDP/IP (desenvolupats als capítols D.5.3 i D.5.3, respectivament). Les funcions implementades seran les mateixes que en la interfície *Sockets Raw Ethernet*, però variaran lleugerament la seva funcionalitat.

Durant la inicialització, es crearan dos *sockets*, els quals s'utilitzaran en el costat del NDK i del PTP. En aquest cas, podrà existir un *socket* pels missatges d'esdeveniment i un altre pels missatges generals al costat del NDK perquè els dos aniran per ports diferents. A més, tampoc caldrà que existeixi una tasca de gestió de paquets en recepció perquè els *sockets* seran transparents entre el NDK i el PTP.

Les funcions d'enviament funcionaran de la mateixa forma que el *Raw Ethernet*, i el tractament dels missatges es farà de forma transparent. El tractament dels missatges es farà així perquè els protocols IP-UDP ja s'encarregaran d'incloure o treure les capçaleres dels missatges en l'enviament i recepció, respectivament. Per tant, en la recepció no caldrà treure de forma manual les capçaleres com passava amb el *Raw Ethernet*.

Finalment, una de les tasques més importants que durà a terme aquesta interfície serà la utilització del protocol IGMP (*Internet Group Management Protocol*) per associar la direcció IP del dispositiu amb la direcció *multicast* del PTP. D'aquesta forma, a través dels *sockets*



d'esdeveniment i general, es podran rebre missatges amb una direcció de destí de tipus *multicast* PTP.

A la figura 5.15 es pot veure tot allò explicat anteriorment.

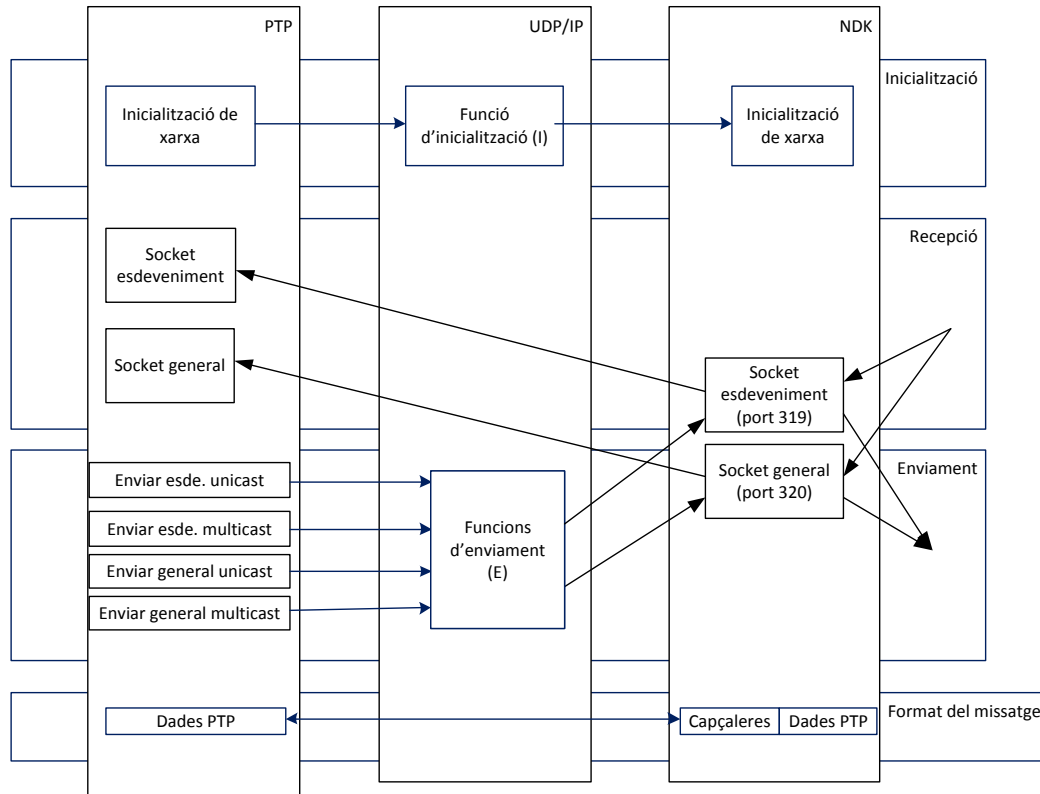


Figura 5.15: Visió general de les funcions del fitxer IP-UDP per la compatibilitat del PTP i el NDK

### 5.3.5 EMACCEA

Aquest fitxer parteix del fitxer original EMAC, inclòs en el sistema operatiu RTOS (E.3). El fitxer EMAC incorpora la implementació de la capa 2 del *Ethernet*, és a dir, la capa d'enllaç de dades. La versió EMACCEA sorgeix de la necessitat d'incorporar la captura de temps precisa dels temps d'enviament i recepció dels missatges *Ethernet* pel funcionament del PTP.

El fitxer EMACCEA implementarà la capa física del *Ethernet* igual que el fitxer original EMAC, però incorporarà tot el sistema de captura de temps precís d'enviament i recepció de missatges que s'explicarà a continuació.

Un dels punts crítics d'un sistema PTP és la captura precisa dels temps d'enviament i recepció dels missatges per evitar mesures errònies a causa de retards de *software*. Per això, el sistema *hardware* utilitzat porta un suport IEEE 1588 en les captures del temps. Aquest fet permetrà capturar els temps just a l'instant que es rep o s'envia un missatge, evitant tots els retards indeterministes del sistema *software*. A la figura 5.16 es representa el sistema de captures en un exemple d'enviament d'un *sync*. El sistema funcionaria de la mateixa manera per un missatge *delay-req*, però en direcció contrària.

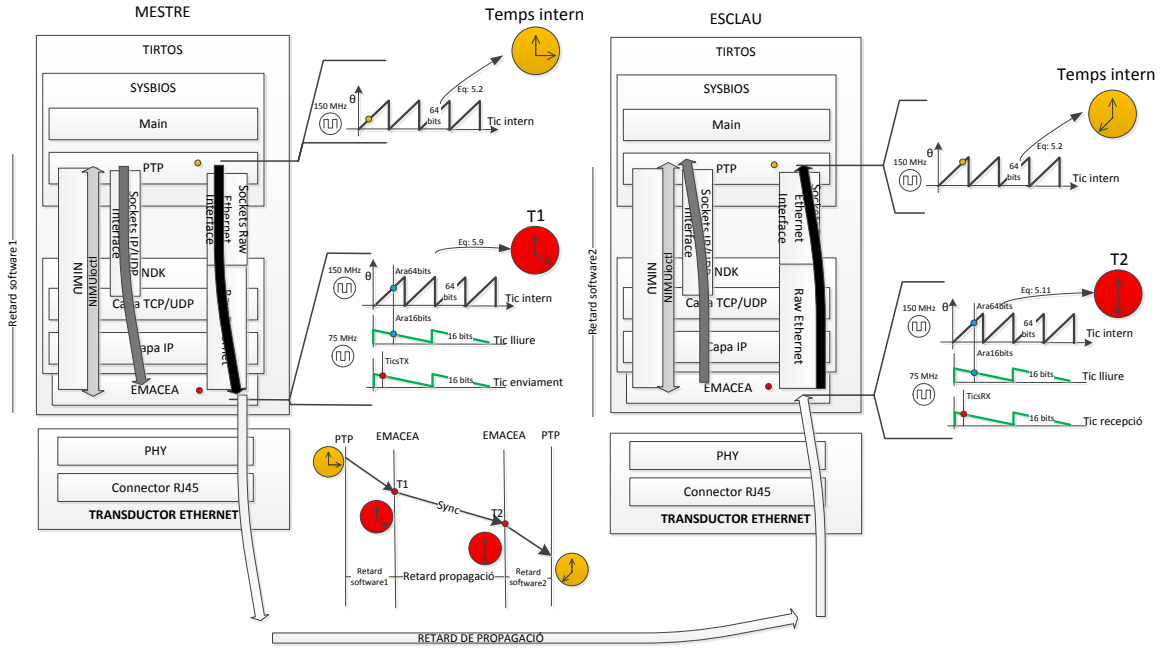


Figura 5.16: Sistema del càlcul del temps precís d'enviament i recepció de missatges

Tal com es veu a la figura 5.16 cada sistema PTP està format per quatre comptadors de 16 bits enfocats a les captures dels temps d'enviament i recepció, respectivament (a la figura només s'indiquen dos en color verd per cada sistema PTP). També s'utilitza el comptador intern del sistema, que correspon al mateix que s'utilitza per obtenir el temps intern. El funcionament dels comptadors indicats en verd es basa en que un d'ells es queda congelat en l'instant precís en què es rep o s'envia un missatge, mentre que l'altre actua com a comptador lliure de referència.

D'aquesta forma es pot obtenir el "tic" d'enviament o recepció precís, referenciat al comptador intern del sistema, amb les fórmules 5.8 i 5.10, respectivament. Les freqüències dels comptadors no són iguals i per tant existeix un factor 2. Un cop es té el "tic" precís d'enviament o recepció del missatge referenciat al comptador intern es pot passar a "temps" mitjançant les fórmules 5.9 i 5.11, respectivament.

$$t_{1tics} = Ara64bits - (TicsTX - Ara16bits) \cdot 2 \quad (5.8)$$

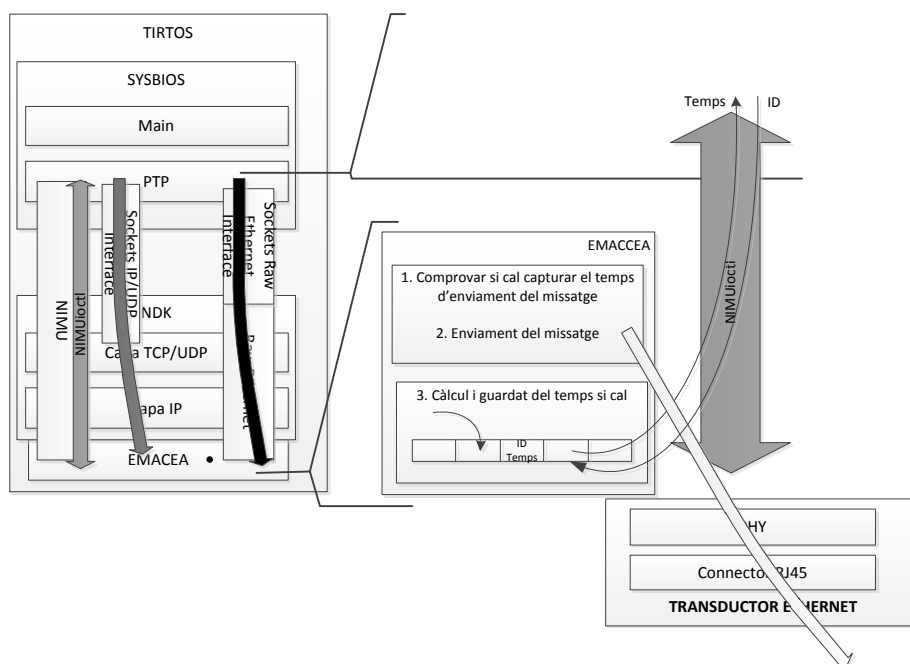
$$t_1 = t_{1tics} \cdot guany \quad (5.9)$$

$$t_{2tics} = Ara64bits - (TicsRX - Ara16bits) \cdot 2 \quad (5.10)$$

$$t_2 = t_{2tics} \cdot guany \quad (5.11)$$

Tot el càlcul explicat anteriorment es desenvolupa a la interrupció del *Ethernet* perquè és l'instant més proper al instant real d'enviament o recepció d'un missatge. Aquest fet farà que no hi hagi possibilitats de perdre l'instant congelat de recepció o enviament, pel fet de rebre o enviar un altre missatge entremig.

En el cas de l'enviament, abans d'enviar el missatge, es comprova si el missatge és de tipus PTP i esdeveniment, en aquest cas, s'activarà una *flag* per indicar que s'haurà de guardar el temps un cop enviat el missatge. Un cop enviat el missatge saltarà la interrupció del *Ethernet* i es calcularà i guardarà el temps d'enviament del missatge si la *flag* ho indica. A la figura 5.17 es pot veure el funcionament descrit.



En el cas de la recepció, el procés és una mica més complex perquè quan es rep un missatge salta la interrupció del *Ethernet* però es desconeix si s'ha de guardar o no el temps de recepció. Aquest fet provoca haver de guardar de forma provisional els temps de tots els missatges en una cua FIFO (*First In First Out*) i guardar-los de forma definitiva a la interrupció de *software* si cal. La interrupció de *software* s'activarà a través de la interrupció de *hardware* del *Ethernet* i s'utilitzarà per processar el missatge entrant. Així, en aquest punt ja es pot conèixer la informació del missatge i per tant, si cal, guardar el temps no de forma definitiva. A la figura 5.18 es pot veure el funcionament descrit anteriorment.

En tots els missatges de tipus esdeveniment es guardarà el temps d'enviament i recepció, així com l'identificador del missatge. En l'entorn d'aplicació es podran consultar les captures del temps mitjançant la NIMU (*Network Interface Management Unit*), donant com a paràmetre d'entrada l'identificador del missatge.

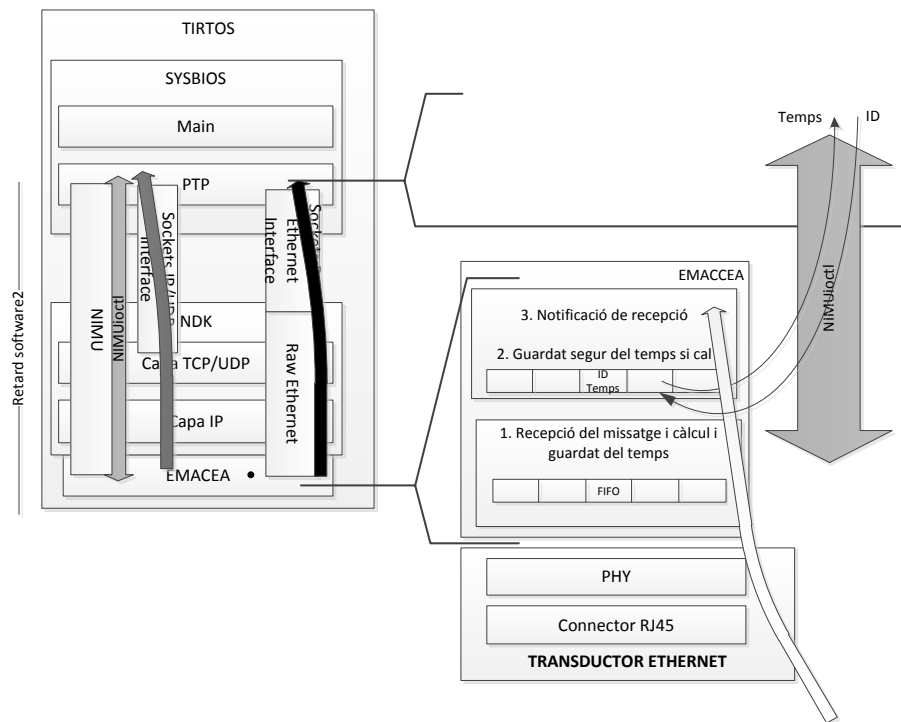


Figura 5.18: Procés de càlcul i guardat del temps precís de recepció d'un missatge

## 5.4 Funcionament general del nucli M3

Després de descriure tota la implementació desenvolupada al nucli Cortex M3, ara es descriurà el seu funcionament en termes de configuració i inicialització del sistema i funcionament.

### 5.4.1 Inicialització del sistema

Durant la inicialització del sistema es realitzaran una sèrie de configuracions bàsiques del sistema. En primer lloc, caldrà configurar per consola sèrie el mode d'operació desitjat del dispositiu (mestre o esclau) i el mode de comunicació utilitzat (*Raw Ethernet o UDP-IP*). Un cop realitzada aquesta configuració el sistema crearà una tasca per iniciar el sistema PTP. A partir d'aquí, s'inicialitzaran totes les variables del PTP, els paràmetres de xarxa i es crearà una tasca principal.

La tasca principal serà l'encarregada de crear un semàfor, un rellotge i una tasca els quals variaran en funció del mode PTP escollit.

A més, la tasca principal s'executarà de forma indefinida realitzant la comprovació continua de missatges entrants (en anglès, *pulling*) i gestionant-los.

Tot allò descrit anteriorment es pot comprovar a la figura 5.19.

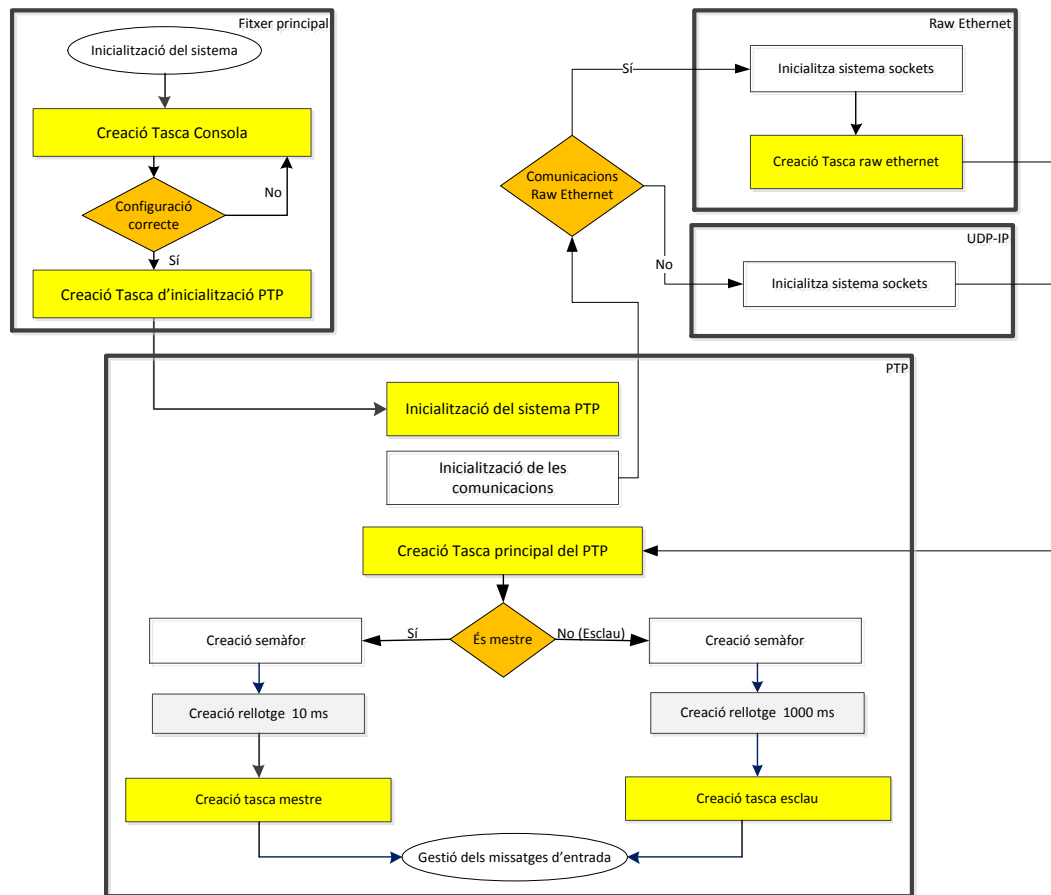


Figura 5.19: Inicialització del programari inclòs al nucli M3

#### 5.4.2 Funcionament general del sistema en mode mestre i esclau

El funcionament en mode normal del nucli M3 en configuració mestre i esclau es mostra a les figures 5.20 i 5.21, respectivament. En aquest funcionament es veu tot allò explicat al capítol 5.2. En cada una des les figures s'indica en color gris la part de codi que no s'utilitza, a causa de les característiques de la configuració. És important destacar que el diagrama de flux està estructurat per cadascun dels fitxers implementats, indicant la relació entre ells a través del color verd, blau i vermell. En color groc s'indiquen els inicis de processos, que en el context del sistema operatiu, seran cadascuna de les tasques que s'executaran.

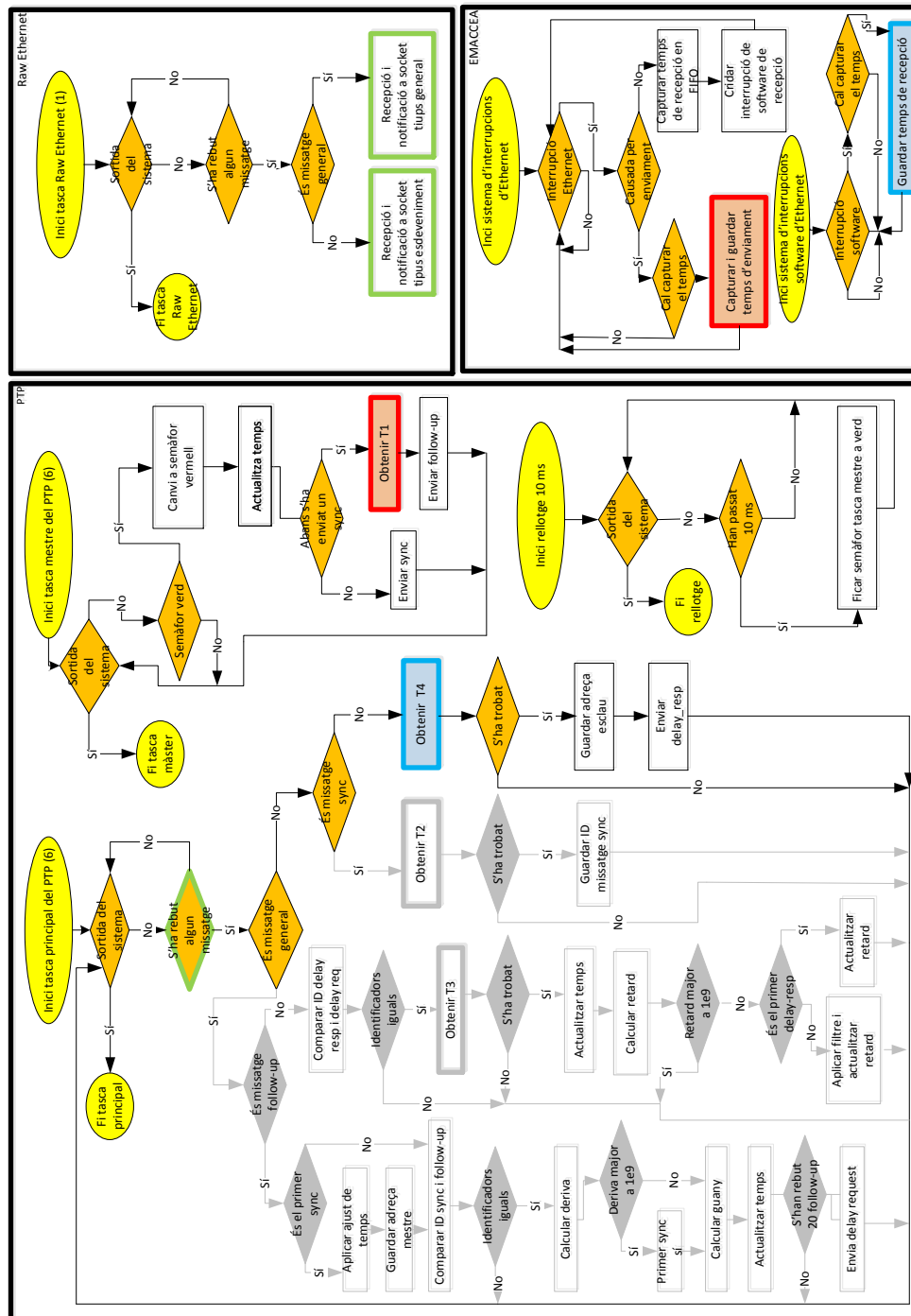


Figura 5.20: Funcionament general del PTP inclòs al nucli M3 pel mode mestre

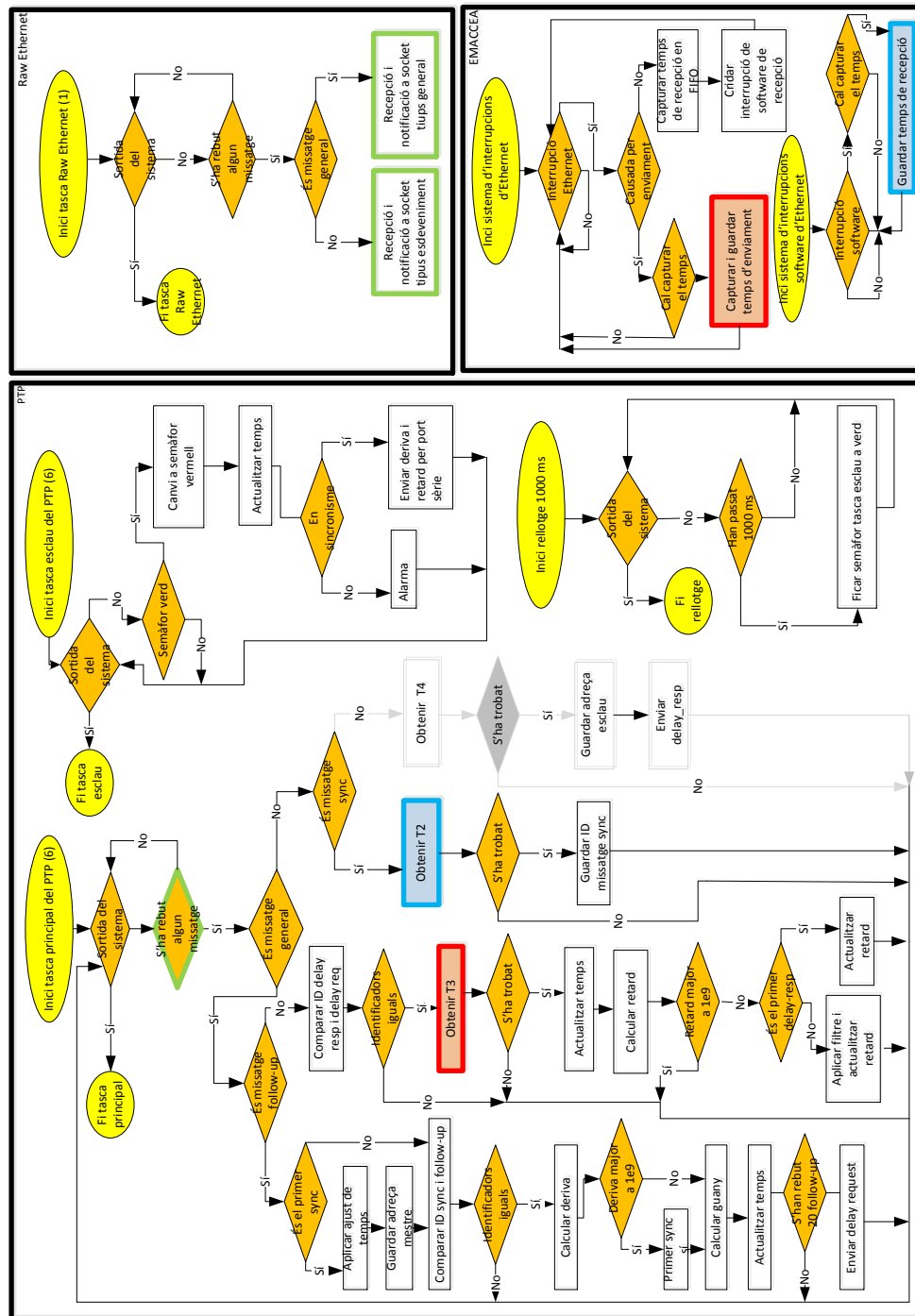


Figura 5.21: Funcionament general del PTP inclòs al nucli M3 pel mode esclau

## 5.5 Sistema de sincronització al nucli C28

El sistema de sincronització dels PWM es durà a terme al nucli C28. El sistema de sincronització haurà de ser capaç de sincronitzar els PWM a partir del guany i el temps intern que enviarà el nucli M3 al C28 a través de la memòria compartida. És important destacar, que en aquest cas, el programari no es basa en l'estàndard IEEE 1588, perquè aquest no contempla la sincronització del PWM. Així doncs, el sistema de sincronització que es descriurà a continuació respecte tot el sistema es pot veure a la figura 5.22.

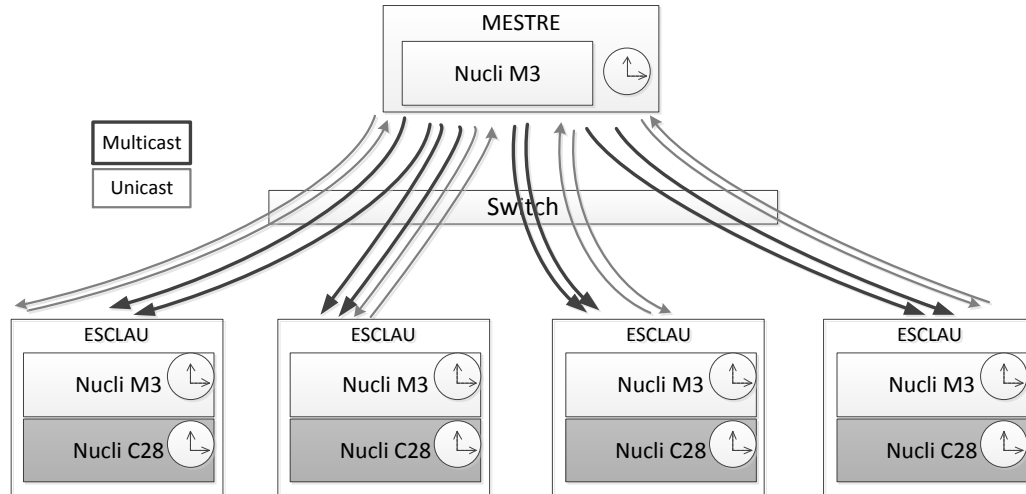


Figura 5.22: Estructura general del sistema de sincronització des del punt de vista del nucli C28 (indicat en gris)

El C28 disposarà d'un rellotge intern que estarà totalment sincronitzat amb el rellotge intern del M3 perquè els dos compartiran el mateix comptador i guany. El comptador serà únic i accessible tant pel nucli M3 com C28, mentre que el guany s'intercanviarà a través de la memòria compartida, tal com s'indica a la figura 5.23.

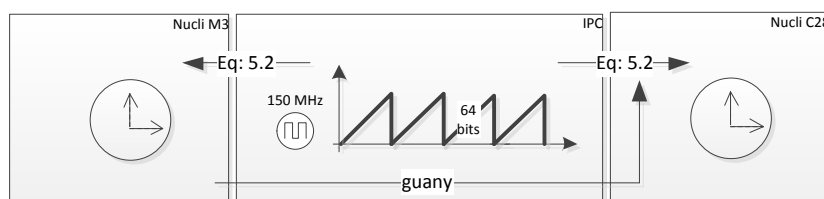


Figura 5.23: Sistema de rellotges intern del nucli M3 i C28

A partir del rellotge intern del nucli C28 s'obtingran els mili-segons i nanosegons actuals del sistema.

El mètode per relacionar els mili-segons i nanosegons del sistema amb el PWM funcionarà sobre unes condicions de configuració del PWM molt concretes, les quals s'expliquen continuació:

- Configuració *up-down* de la base de temps.
- Cicle de treball per defecte del 50 %.



- Freqüència de 20 kHz, és a dir, un període de  $50 \mu s$ .
- Definició de la interrupció del PWM quan el comptador de base de temps arribi a 0.
- Definició del SOC (*Start of Conversion*) dels ADC quan el comptador de base de temps arribi al màxim.

Amb la configuració anterior també s'inclou el sistema de mostreig i conversió dels ADC. Aquest sistema permetrà digitalitzar els valors de les tres tensions fase-neutre i els quatre corrents de xarxa. D'aquesta forma es mostrejaran i convertiran els set senyals cada  $50 \mu s$  mitjançant el SOC (*Start of Conversion*).

A la figura 5.24 es pot veure el senyal PWM resultant de la configuració anterior.

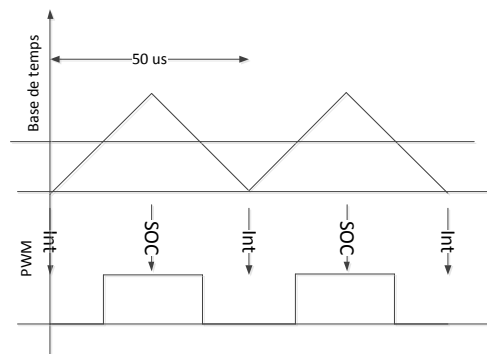


Figura 5.24: PWM generat a partir de la configuració inicial del sistema

La metodologia per relacionar els PWM i el rellotge intern serà a través dels mili-segons del sistema. Tal com s'ha comentat a la configuració, cada cop que el comptador arribi a 0 saltarà la interrupció del PWM, és a dir, cada  $50 \mu s$ . En aquest cas, cada 20 interrupcions haurà passat un mili-segon que es podrà relacionar amb el temps que hagi passat del rellotge intern. La diferència entre els dos mili-segons, quantificada amb els nanosegons actuals del rellotge intern serà l'error que s'haurà de corregir durant el pròxim mili-segon. Tal com es pot veure a la figura 5.25, aquest error podrà ser positiu (senyal inferior) o negatiu (senyal superior) en funció si la base de temps del PWM vagi avançada o retardada.

Amb això es coneixerà l'error entre el PWM i el rellotge intern en terme de nanosegons, els quals s'hauran de corregir durant el pròxim mili-segon. En aquest punt caldrà convertir l'error de nanosegons a "tics" dividint pel guany per poder corregir la deriva en termes de "tics".

La correcció dels "tics" estarà composta per dues parts: una primera part on es dividirà el total de "tics" a corregir entre els 20 períodes (1 mili-segon) i una segona on s'aplicaran els "tics" d'error restants en els primers períodes del PWM.

En el primer cas, el total de "tics" d'error es dividirà entre 40 per establir una correcció homogènia durant tot els períodes del PWM. El factor 40 surt del producte dels 20 períodes de PWM que entren dins un mili-segon i la relació entre els "tics" del comptador intern i la base de temps del PWM. Aquesta relació ve determinada per la relació període/"tics" que, en el cas del rellotge intern respecte el PWM, és del doble (veure la figura 5.26).

En el segon sistema de correcció s'obtidran els "tics" restants del quocient entre els "tics" totals a corregir i 40. Aquesta resta s'haurà de dividir entre dos per obtenir els "tics" restant a corregir durant els primers períodes.

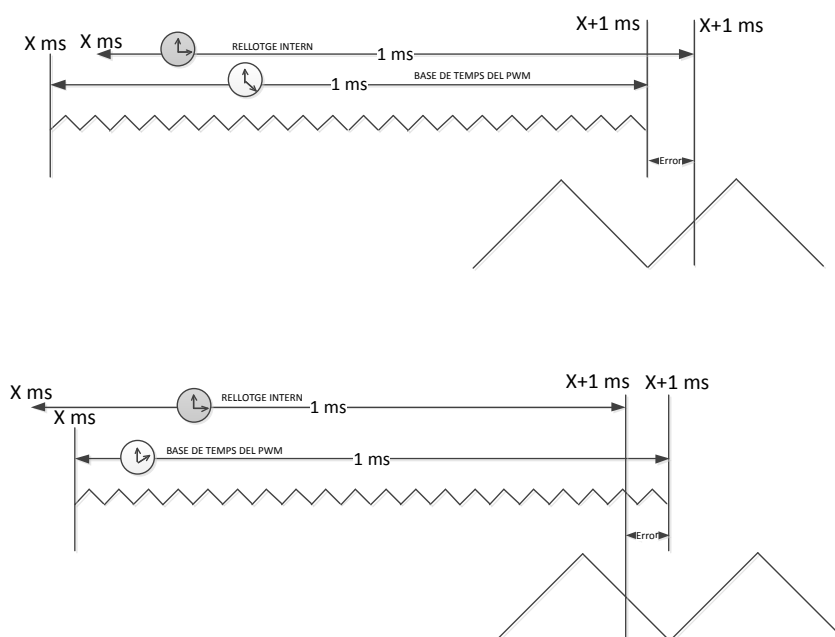


Figura 5.25: Detecció de l'error entre la base de temps del PWM i el rellotge intern.

A continuació es pot veure un exemple de l'explicació anterior: es suposa que l'error obtingut entre el PWM i el rellotge intern és de 300 ns. Aquest desfasament en termes de "tics" serà de 45 "tics". Aquests 45 "tics" entre 40 resulta a un "tic" a corregir uniformement i 3 "tics" de residu. Aquests 3 "tics" de residu es repartiran durant els 3 primers períodes en aquest cas. A la figura 5.27 es pot veure els dos sistemes d'ajust, l'ajust repartit al llarg del mili-segon que provoca un augment d'un "tic" en tots els períodes (266,64 ns) i l'ajust de residu que actuarà durant els 3 primers períodes suposant una correcció de 39,99 ns. En aquest exemple, s'obtindrà un error de 6,63 ns en la correcció del PWM per qüestions d'arrodoniment dels "tics".

Així doncs, la precisió del sistema de sincronització entre el rellotge intern del C28 i el PWM serà de 12 ns que serà el temps d'un "tic". El "tics" seran la variable de control per sincronitzar el PWM i el rellotge intern de forma que si l'error entre els dos és interior als 12 ns, sempre es farà un correcció de 12 ns (duració d'un "tic").

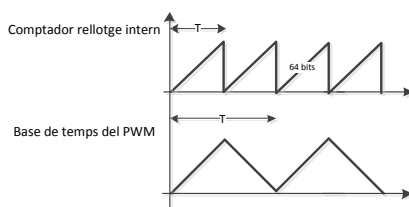


Figura 5.26: Relació entre els "tics" del comptador intern del sistema (senyal superior) i els "tics" del PWM (senyal inferior)

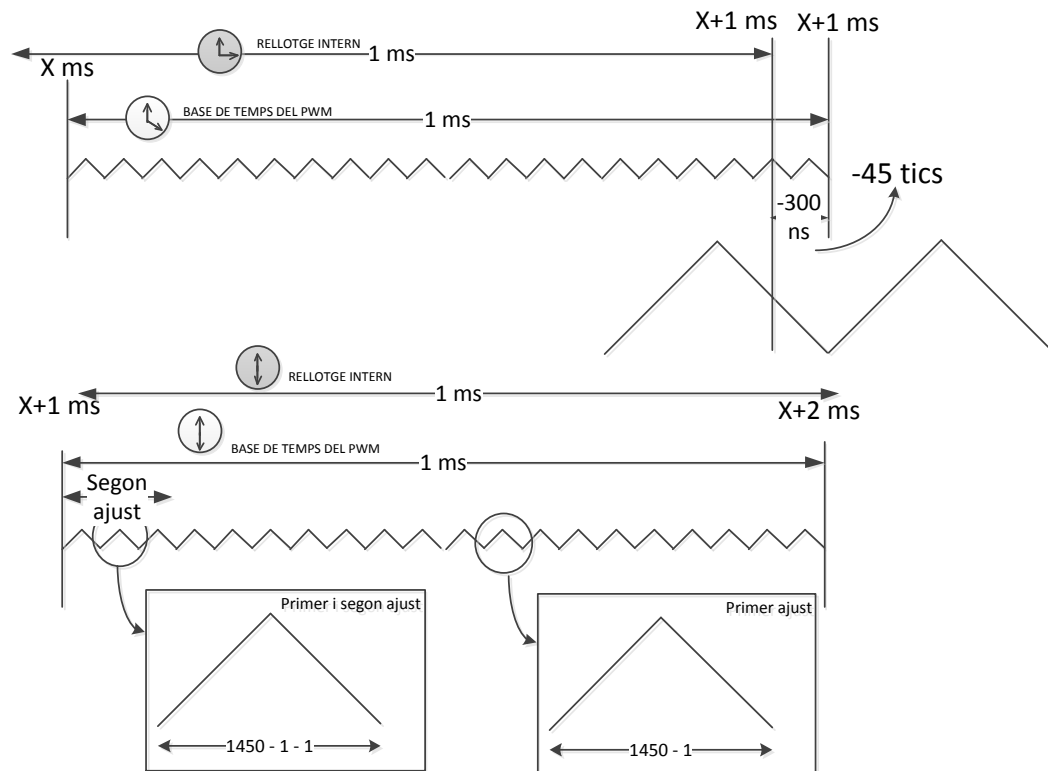


Figura 5.27: Exemple d'ajust del PWM amb els dos mètodes de correcció

## 5.6 Funcionament general del nucli C28

El funcionament general del PTP al nucli C28 es mostra a la figura 5.28. A la figura s'indicarà tot allò explicat al capítol 5.5. A més, s'ha incorporat el funcionament general dels ADC, els quals mostrejaran i convertiran set canals (les tres tensions trifàsiques fase-neutre i els quatre corrents trifàsics).

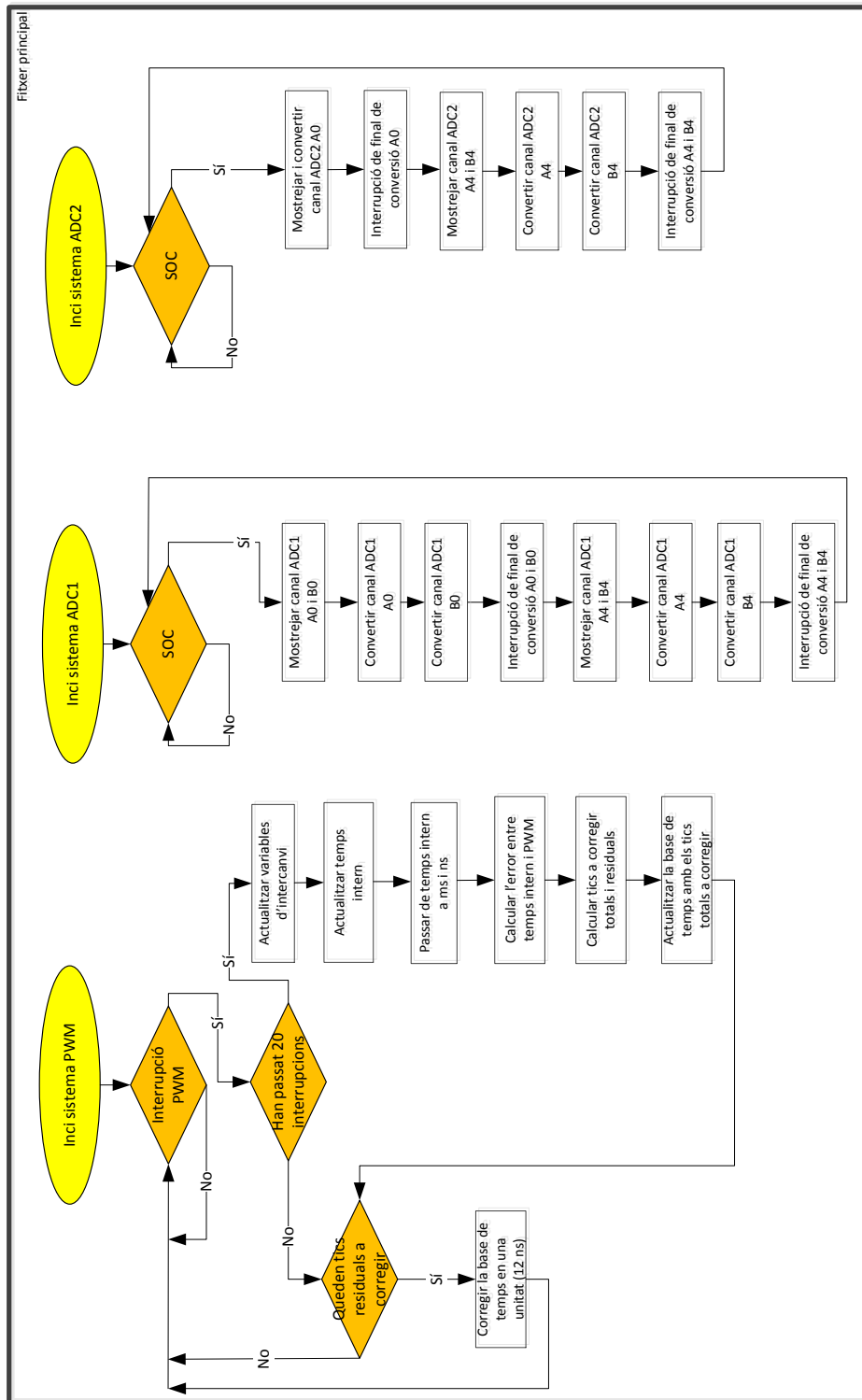


Figura 5.28: Funcionament general del programari de sincronització del rellotge intern amb la base de temps del PWM

## Capítol 6

# Proves del sistema

En aquest capítol es podran veure els resultats obtinguts de l'anàlisi experimental del sistema de sincronització i el sistema de sensat.

### 6.1 Proves del sistema de sincronització

El codi de sincronització s'ha provat mitjançant les plaques d'avaluació del microprocessador *Concerto* (veure figura 6.1). També s'ha utilitzat el *switch* de diagnòstic EISK5-100T/H i l'oscil·loscopi DLM2024 de la marca *Yokogawa*. Finalment, és important destacar, que en aquest capítol només es mostraran les proves de sincronització amb comunicació *Raw Ethernet* ja que, els resultats obtinguts han estat iguals que amb comunicació UDP-IP.

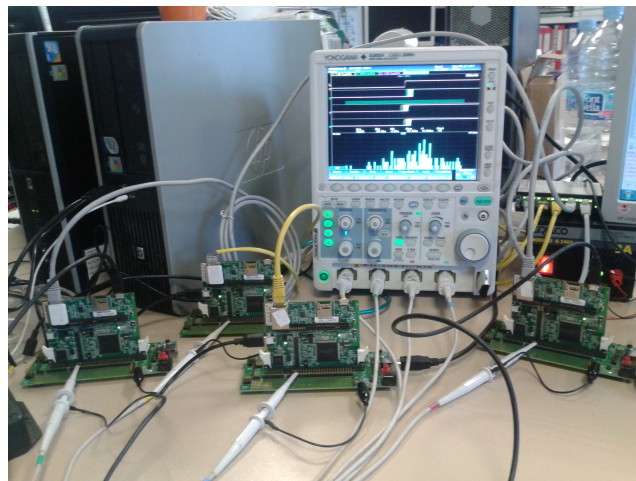


Figura 6.1: Plaques d'avaluació del microprocessador *Concerto* durant l'assaig del programari de sincronització

#### 6.1.1 Sincronització entre el rellotge intern i el PWM

En aquest apartat es descriuran les proves de sincronització realitzades entre el rellotge intern d'un dispositiu i el senyal PWM, és a dir, el funcionament explicat al capítol 5.5.

Aquestes proves es realitzaran al mestre per no falsejar resultats acoblant la sincronització mestre i esclau a través del nucli M3. Durant la prova es disposarà d'un guany fixe del sistema de 6,666 ns de forma que el període del PWM hauria de ser el nominal, és a dir,  $50\text{ }\mu\text{s}$ . En vistes a la figura 6.2 s'observa que existeix un error entre el valor nominal del període i la mitjana de 6,4 ns tal com s'esperava del apartat 5.5. D'aquesta forma l'algorisme de sincronització provoca que el període del PWM no sigui exactament de  $50\text{ }\mu\text{s}$ , fruit de la precisió de l'algorisme de  $12\text{ }\mu\text{s}$ .



Figura 6.2: Sincronització entre el rellotge intern i el PWM en el mestre del sistema

### 6.1.2 Sincronització entre mestre i esclau amb *Raw Ethernet*

En aquest apartat es farà una anàlisi de la sincronització entre un mestre i un esclau a través de la comunicació *Raw Ethernet*. Aquesta anàlisi es farà des del punt de vista de sincronització dels nuclis M3 i dels PWM. En aquest cas es provaran les prestacions dels sistemes explicats al capítols 5.2 i 5.5 en una configuració mestre-esclau.

#### Sincronització entre rellotges interns

En aquest cas s'analitzaran les prestacions dinàmiques del controlador del rellotge intern en termes de deriva entre rellotges interns i retard. A la figura 6.3 i 6.4 es mostra el transitori inicial de la deriva i retard, respectivament. S'observa el comportament de la deriva s'ajusta a un comportament d'un controlador PI sub-esmorteït i el segon, a un filtre de primer ordre tal com s'esperava.

L'error en estat estacionari de la deriva s'observa a la figura 6.5. S'aprecia una deriva amb una mitjana de 14,5 ns i una desviació típica de 142 ns, amb una població de 214. Pel que fa al retard, s'arriba a una mitjana de -8584 ns i una desviació típica de 11,74 ns amb una població de 137. Aquest retard serà el retard de propagació del *switch* del sistema i dels cables.

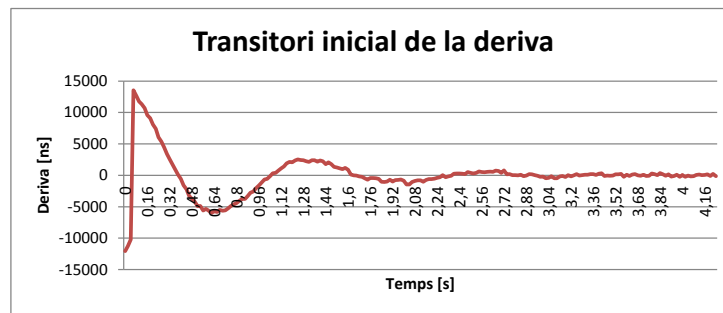


Figura 6.3: Transitori de la deriva en el rellotge intern del esclau en la sincronització amb el mestre

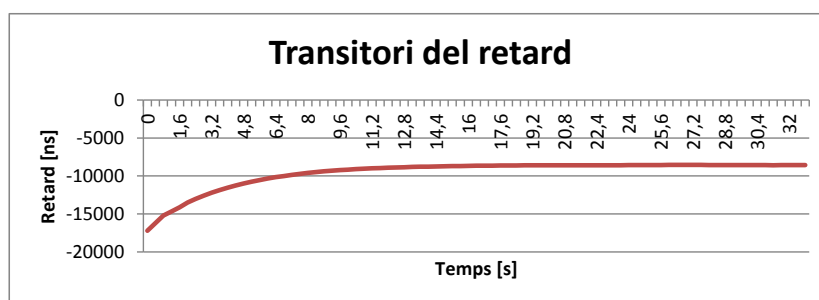


Figura 6.4: Transitori del retard en el rellotge intern del esclau en la sincronització amb el mestre

### Sincronització entre PWM

En aquest punt es veurà quin és el resultat final de la sincronització entre PWM a partir d'un mestre i esclau amb els seus rellotges interns sincronitzats. Es pot veure a la figura 6.6 que el retard entre mestre i esclau mitjà és de 72,245 ns amb una desviació típica de 50,465 ns. Aquest retard és totalment admissible segons les especificacions, comentades al capítol 1.2 on es definia una precisió igual o menor a 250 ns. A la part inferior de la figura 6.6 apareix un histograma on es representen totes les mostres. En aquest histograma es veu que la variabilitat respon a una campana de Gauss i que, per tant, no existeix cap patró que permeti crear un model per preveure l'error del sistema.

#### 6.1.3 Sincronització entre mestre i tres esclaus amb *Raw Ethernet*

En aquest cas s'establirà un sistema format per un mestre i 3 esclaus a sincronitzar. El que s'observarà d'aquest sistema són els valors finals dels PWM sincronitzats, així com la sincronització a nivell de nuclis M3. Així doncs, a la figures 6.7 i 6.8 es poden veure els quatre senyals PWM sincronitzats en general i en detall, respectivament.

A la taula 6.1 es poden veure les precisions obtingues en la sincronització dels PWM en cadascun dels dispositius. En aquest cas, es confirma el compliment de les especificacions perquè totes les mitjanes són inferiors als 250 ns.

A la taula 6.2 apareixen les prestacions a nivell de sincronització dels rellotges interns. En aquest cas la precisió obtinguda en la sincronització del rellotge intern afectarà directament

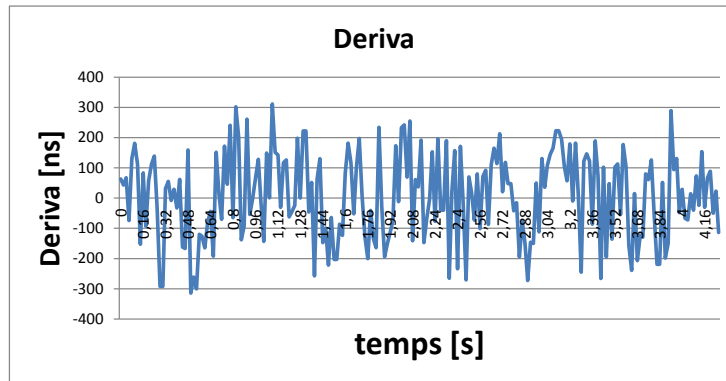


Figura 6.5: Variació de la deriva en el rellotge intern del esclau en la sincronització amb el mestre

Dispositiu	Mitjana	Desviació típica	Mínim	Màxim	Mostres
Esclau 1	178,68 ns	49,35 ns	-15,96 ns	406,92 ns	36383
Esclau 2	59,7045 ns	50,07 ns	-160,84 ns	298,56 ns	36383
Esclau 3	117,83 ns	49,01 ns	-71,72 ns	117,83 ns	36383

Taula 6.1: Resum de la precisió obtinguda en la sincronització dels PWM en un sistema amb un mestre i 3 esclaus

a la precisió obtinguda en els PWM (veure taula 6.1). Finalment cal tenir en compte que el número de mostres en aquest cas és molt inferior que en el cas del PWM, a causa de la limitació de memòria de la consola sèrie.

Dispositiu	Mitjana	Desviació típica	Mínim	Màxim	Mostres
Esclau 1	128,03 ns	76,49 ns	-358 ns	346 ns	2053
Esclau 2	126,88 ns	78,54 ns	-349 ns	321 ns	2053
Esclau 3	116,95 ns	76,13 ns	-370 ns	345 ns	2053

Taula 6.2: Resum de la precisió obtinguda en la sincronització dels rellotges interns en un sistema amb un mestre i tres esclaus

Finalment, els missatges que s'intercanvien entre els quatre dispositius per establir la sincronització es mostren a la figura 6.9 extret, a partir del programari *Wireshark*. A la imatge es poden distingir els missatges *multicast* (*sync* i *follow-up*), així com els missatges *unicast* (*delay-req* i *delay-Resp*) per a cadascun dels dispositius.





Figura 6.6: Deriva entre PWM en la sincronització amb el mestre-esclau

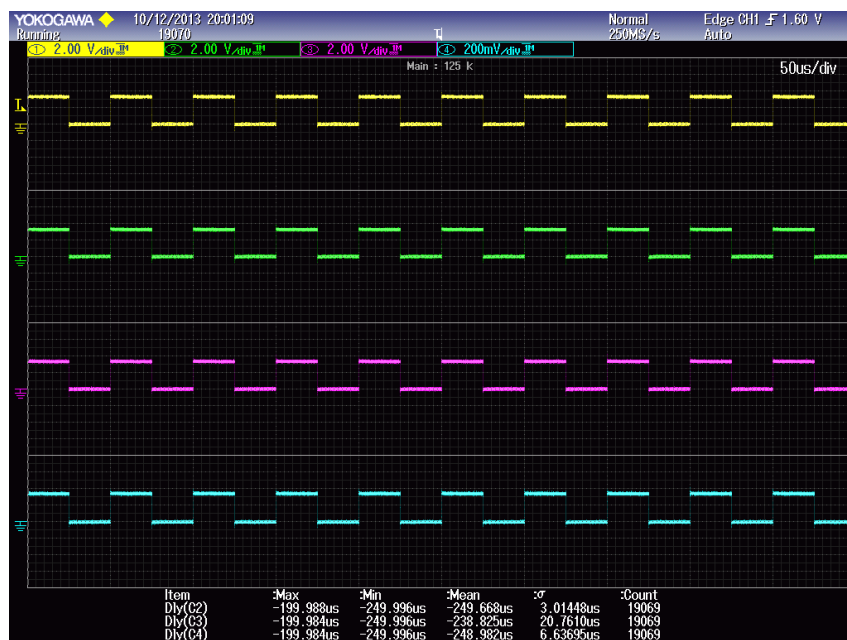


Figura 6.7: Visió general dels quatre PWM sincronitzats (El primer correspon al mestre i els tres últims als esclaus)



Figura 6.8: Visió en detall dels quatre PWM sincronitzats (El primer correspon al mestre i els tres últims als esclaus)

No.	Time	Source	Destination	Protocol	Length	Info
1543	13.440366000	TexasIns_00:04:9e	Ieee1588_00:00:00	PTPV2	62	Sync Message
1544	13.440381000	TexasIns_00:04:9e	Ieee1588_00:00:00	PTPV2	62	Follow_Up Message
1545	13.440378000	TexasIns_00:04:9e	Ieee1588_00:00:00	PTPV2	62	Sync Message
1546	13.470379000	TexasIns_00:04:9e	Ieee1588_00:00:00	PTPV2	62	Follow_Up Message
1547	13.480372000	TexasIns_00:04:9e	Ieee1588_00:00:00	PTPV2	62	Sync Message
1548	13.490380000	TexasIns_00:04:9e	Ieee1588_00:00:00	PTPV2	62	Follow_Up Message
1549	13.500386000	TexasIns_00:04:9e	Ieee1588_00:00:00	PTPV2	62	Sync Message
1550	13.510395000	TexasIns_00:04:9e	Ieee1588_00:00:00	PTPV2	62	Follow_Up Message
1551	13.520369000	TexasIns_00:04:9e	Ieee1588_00:00:00	PTPV2	62	Sync Message
1552	13.530385000	TexasIns_00:04:9e	Ieee1588_00:00:00	PTPV2	62	Follow_Up Message
1553	13.530573000	TexasIns_00:03:d1	TexasIns_00:04:9e	PTPV2	62	Delay_Req Message
1554	13.530767000	TexasIns_00:04:9e	TexasIns_00:03:d1	PTPV2	74	Delay_Resp Message
1555	13.540366000	TexasIns_00:04:9e	Ieee1588_00:00:00	PTPV2	62	Sync Message
1556	13.550384000	TexasIns_00:04:9e	Ieee1588_00:00:00	PTPV2	62	Follow_Up Message
1557	13.550571000	TexasIns_00:04:b2	TexasIns_00:04:9e	PTPV2	62	Delay_Req Message
1558	13.550769000	TexasIns_00:04:9e	TexasIns_00:04:b2	PTPV2	74	Delay_Resp Message
1559	13.560367000	TexasIns_00:04:9e	Ieee1588_00:00:00	PTPV2	62	Sync Message
1560	13.570386000	TexasIns_00:04:9e	Ieee1588_00:00:00	PTPV2	62	Follow_Up Message
1561	13.570573000	TexasIns_00:04:b9	TexasIns_00:04:9e	PTPV2	62	Delay_Req Message
1562	13.570769000	TexasIns_00:04:9e	TexasIns_00:04:b9	PTPV2	74	Delay_Resp Message
1563	13.580366000	TexasIns_00:04:9e	Ieee1588_00:00:00	PTPV2	62	Sync Message
1564	13.590381000	TexasIns_00:04:9e	Ieee1588_00:00:00	PTPV2	62	Follow_Up Message
1565	13.600368000	TexasIns_00:04:9e	Ieee1588_00:00:00	PTPV2	62	Sync Message
1566	13.610385000	TexasIns_00:04:9e	Ieee1588_00:00:00	PTPV2	62	Follow_Up Message
1567	13.620368000	TexasIns_00:04:9e	Ieee1588_00:00:00	PTPV2	62	Sync Message
1568	13.630386000	TexasIns_00:04:9e	Ieee1588_00:00:00	PTPV2	62	Follow_Up Message
1569	13.640368000	TexasIns_00:04:9e	Ieee1588_00:00:00	PTPV2	62	Sync Message
1570	13.650390000	TexasIns_00:04:9e	Ieee1588_00:00:00	PTPV2	62	Follow_Up Message
1571	13.660369000	TexasIns_00:04:9e	Ieee1588_00:00:00	PTPV2	62	Sync Message
1572	13.670386000	TexasIns_00:04:9e	Ieee1588_00:00:00	PTPV2	62	Follow_Up Message
1573	13.680370000	TexasIns_00:04:9e	Ieee1588_00:00:00	PTPV2	62	Sync Message
1574	13.690386000	TexasIns_00:04:9e	Ieee1588_00:00:00	PTPV2	62	Follow_Up Message
1575	13.700372000	TexasIns_00:04:9e	Ieee1588_00:00:00	PTPV2	62	Sync Message
1576	13.710388000	TexasIns_00:04:9e	Ieee1588_00:00:00	PTPV2	62	Follow_Up Message
1577	13.720372000	TexasIns_00:04:9e	Ieee1588_00:00:00	PTPV2	62	Sync Message
1578	13.730391000	TexasIns_00:04:9e	Ieee1588_00:00:00	PTPV2	62	Follow_Up Message
1579	13.740371000	TexasIns_00:04:9e	Ieee1588_00:00:00	PTPV2	62	Sync Message
1580	13.750383000	TexasIns_00:04:9e	Ieee1588_00:00:00	PTPV2	62	Follow_Up Message
1581	13.760372000	TexasIns_00:04:9e	Ieee1588_00:00:00	PTPV2	62	Sync Message
1582	13.770391000	TexasIns_00:04:9e	Ieee1588_00:00:00	PTPV2	62	Follow_Up Message

Frame 1: 62 bytes on wire (496 bits), 62 bytes captured (496 bits) on interface 0	
Ethernet II, Src: TexasIns_00:04:9e (a8:63:f2:00:04:9e), Dst: Ieee1588_00:00:00 (01:1b:19:00:00:00)	
Precision Time Protocol (IEEE1588)	

0000	01 1b 19 00 00 00 a8 63 f2 00 04 9e 88 f7 00 02	.....C .....
0010	00 30 00 00 00 00 00 00 00 00 00 00 00 00 00	.....0.....
0020	00 00 00 00 00 00 00 00 00 00 06 06 00 00	.....0.....
0030	00 00 00 00 00 00 0a 63 00 00 05 a8 a7 5b	.....C .....

Figura 6.9: Detall dels missatges intercanviats entre el mestre i els esclaus per a la sincronització

## 6.2 Proves del sistema de sensat

Les proves del sistema de sensat s'han realitzat amb el *hardware* propi del projecte, és a dir, la placa de sensat i la placa de control *Neo*. D'aquesta forma es podrà comprovar el correcte funcionament de tot allò descrit al capítol 3. A la figura 6.10 s'observa el muntatge realitzat per fer les proves del sistema de sensat.

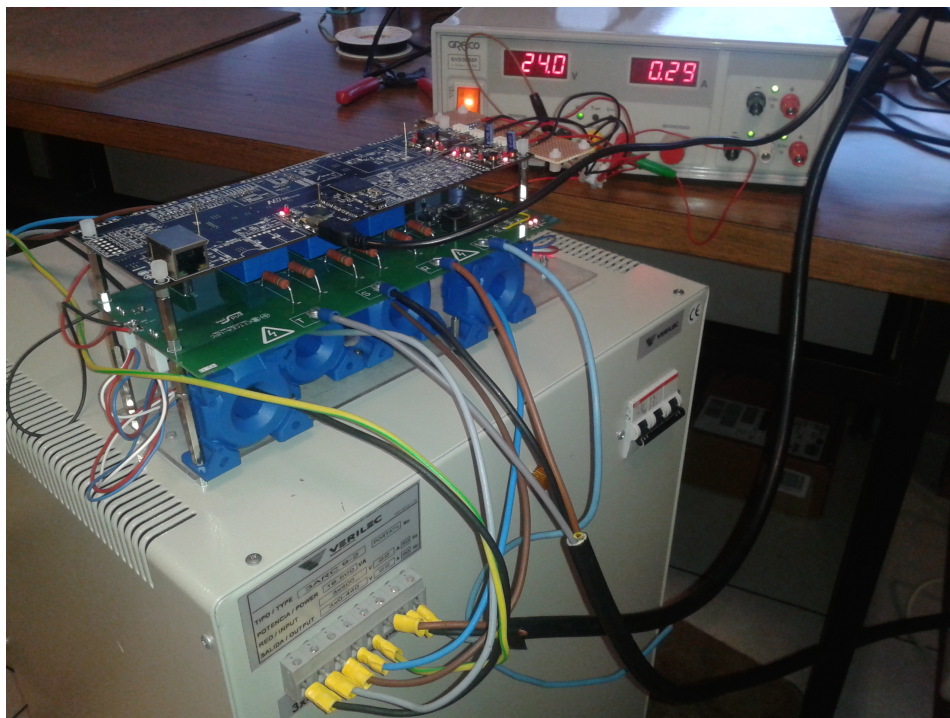


Figura 6.10: Proves del sistema *hardware* del projecte mitjançant el sensat de tensions i corrents

S'han mesurat els valors de tensió i corrent a l'entrada d'un varistor trifàsic obtenint els valors esperats.



## Capítol 7

# Impacte mediambiental

La Directiva 85/377/CE del 27 de juny de 1985, d'Avaluació d'Impacte Ambiental defineix l'Estudi d'Impacte Ambiental com:

*L'instrument clau per poder portar a terme una política ambiental preventiva, és a dir, que pretengui evitar que es produeixi el deteriorament del medi ambient en lloc d'invertir posteriorment en restaurar-lo i recuperar-lo, la qual cosa no sempre és possible i, generalment, és més costós evitar el deteriorament intervenint a temps. Per a aconseguir-ho, s'ha de conèixer amb anterioritat que es pretén fer i com es farà. El procediment per autoritzar, regular i posar condicions als projectes o actuacions a desenvolupar és el que es coneix com l'Avaluació d'Impacte Ambiental.*

### 7.1 Directiva RAEE

La Directiva de Residus d'Aparells Elèctrics i Electrònics, 2002/96/CE, és una llei en vigor des del 13 d'agost del 2005 a tota la Unió Europea. Aquesta llei promou el reciclatge, la reutilització i la recuperació dels residus d'aquests equips per reduir la seva contaminació.

Cal tenir en compte que en el present projecte el desenvolupament del *hardware* ha estat molt reduït ja que la major part del projecte ha estat desenvolupament de programari. Tot i així s'ha portat a terme un disseny de la placa de sensat per poder-se utilitzar en altres aplicacions o per poder-ne reutilitzar els seus elements.

### 7.2 Directiva RoHS

La directiva 2002/95/CE de Restricció de certes Substàncies Perilloses en aparells elèctrics i electrònics, va ser adoptada per la Unió Europea el febrer de 2003 per la Unió Europea. La directiva RoHS, igual que la RAEE, van ser transposades a Espanya amb el RD 208/2005.

Pel que fa la directiva RoHS, restringeix l'ús de sis materials perillosos en la fabricació de diferents tipus d'equips elèctrics i electrònics. Les sis substàncies perilloses són: Plom, Mercuri, Cadmi, Crom VI, PBB (Polibromobifenils) i PBDE (Polibromodifenil éters).

Tots els components que formen part del *hardware* del projecte s'han escollit amb el criteri de complir la normativa, evitant la compra de components que no compleixin la norma. Finalment cal dir, que totes les soldadures desenvolupades a la placa s'han realitzat amb estany amb un contingut en plom molt baix.

### 7.3 Anàlisi de l'Impacte Ambiental del projecte

A l'hora de realitzar l'impacte ambiental del projecte cal tenir present tots els aspectes positius i negatius sobre el Medi Ambient del mateix. Respecte tota la part de programari es pot considerar, per una part, un impacte negatiu sobre el Medi Ambient en termes de consum energètic tant en l'etapa de programació com d'utilització. Per altre banda, la part de *hardware* també suposarà un impacte negatiu en termes d'utilització de recursos naturals per a la seva fabricació i desmantellament encara, que el seu disseny incideix en la seva minimització. No obstant el projecte tindrà una conseqüència positiva en el Medi Ambient, ja que millorarà i optimitzarà les sincronitzacions entre convertidors, fet que suposarà un millor de funcionament dels mateixos, així com una reducció en el consum energètic.

Tot i així, és important destacar que, a causa de la naturalesa del projecte basada en la construcció d'un prototip, s'incidirà en un disseny sostenible per obtenir un impacte negatiu mínim durant les possibles fases de producció del equip en massa, així com en la fase d'utilització i desmantellament.

## Capítol 8

# Estudi econòmic

En aquest capítol, es durà a terme la anàlisi econòmica del mateix, és a dir, es farà un estudi de tots els costos associats al projecte per veure'n el cost total del mateix.

Els costos del projecte es dividiran en tres: recursos humans, recursos materials i recursos de investigació i desenvolupament, tal com es veurà a continuació.

### 8.1 Recursos humans

El cost de personal representarà el cost en concepte de totes les hores invertides en el projecte. Els costos de personal s'han dividit en les diferents tasques realitzades, tal com es mostra a la taula 8.1.

Concepte	Preu per hora	Hores realitzades	Cost
Investigació	45 €/h	450 h	11250 €
Disseny	45 €/h	100 h	13500 €
Implementació	30 €/h	350 h	10500 €
Documentació	20 €/h	50 h	1000 €
TOTAL		950 h	36250 €

Taula 8.1: Cost de personal del projecte

### 8.2 Recursos materials

Els recursos materials fan referència a tot allò necessari per muntar l'equip final, així com els recursos de mà d'obra invertits pel seu muntatge. A la taula 8.2, es poden veure els costos totals de material del projecte.

Concepte	Preu unitat	Unitats	Cost
Placa de sensat	460 €	1	460 €
Mà d'obra	50 €	1	50 €
Placa de control Neo	890 €	1	890 €
TOTAL			1400 €

Taula 8.2: Cost de material del projecte

### 8.3 Recursos de I+D

En aquest capítol es comptabilitzaran tots els costos de tots aquells elements utilitzats en el projecte però que no formen part directament del mateix, com suport informàtic o elements de laboratori. A la figura 8.3 es veu un resum d'aquests costos.

Concepte	Preu unitari	Amortitzat
Ordinador	1000 €	200 €
Altium Designer	1800 €	200 €
Oscil·loscopi electrònic	6000 €	500 €
Tester	100 €	30 €
Plaques d'avaluació del Concerto	400 €	200 €
TOTAL		1130 €

Taula 8.3: Amortitzacions de les diferents eines utilitzades en el projecte

### 8.4 Cost total del projecte

El cost total del projecte és de 38780 € on la major part són costos de personal tal com es veu a la figura 8.4.

Concepte	Cost
Recursos humans	36250 €
Recursos materials	1400 €
Recursos de I+D	1130 €
TOTAL	38780 €

Taula 8.4: Costos totals del projecte



# Conclusions

## Tasques realitzades i conclusions

Els objectius del projecte s'han assolit satisfactòriament.

Per un banda s'ha dissenyat i implementat un sistema *software* de sincronització, basant en l'estàndard IEEE 1588. Per dur-lo a terme ha estat necessari fer estudi de totes les alternatives de sincronització, per acabar escollint l'estàndard IEEE 1588. L'elecció del estàndard IEEE 1588 ha suposat l'estudi de les comunicacions UDP/IP i *Ethernet*, necessàries pel funcionament del mateix. A partir d'aquí, s'ha estudiat a fons l'estàndard, així com una implementació del mateix, per iniciar el disseny del *software* de sincronització. Aquest disseny a incorporat conceptes de l'estàndard IEEE 1588 però també s'han incorporat de nous. Les noves característiques incorporades han estat: el concepte de rellotge intern, el sistema de control mitjançant una PLL i el sistema de sincronització dels PWM. Aquest *software*, després de realitzar les proves experimentals, s'ha conclòs que compleix totes les especificacions inicials en termes de precisió, flexibilitat, modularitat, entre altres. Fins aquest punt s'haurien assolit els quatre primers objectius presentats a l'inici del projecte.

Per altra banda, s'ha dissenyat i implementat una placa de circuit imprès per a les mesures de tensions i corrents de xarxa. Aquesta placa, juntament amb la placa de control *Neo* (no dissenyada en el projecte), esdevenen el sistema *hardware* del projecte. D'aquesta forma s'assoleixen els objectius 6è i 7è definits a l'inici del projecte.

Així doncs, en una visió de conjunt, s'ha dissenyat un sistema *software* de sintonització aplicable a molts àmbits (de propòsit general), i un sistema *hardware* adaptat a l'aplicació en concret. El conjunt de *hardware* i *software* esdevenen la targeta de control general en l'aplicació en concret, la qual, realitzarà el sensat de tensions i corrents de xarxa, a més, de sincronitzar els PWM dels filtres actius de xarxa modulars (objectiu 5è del projecte).

## Línies futures

Les línies futures del projecte es descriuran pel *software* i pel *hardware* per separat.

Les línies futures del *software* es basen en la incorporació de noves funcionalitats al sistema de sincronització que apareixen a l'estàndard IEEE 1588. En aquestes funcionalitats destaca:

- Implementació del rellotge transparent (P2P i E2E) i de frontera.
- Substituir el *switch* clàssic per un rellotge de frontera amb suport al PTP.
- Realitzar comparatives de rendiments entre un *switch* clàssic i un rellotge de frontera.

En penúltim lloc, com a línia futura del *software*, és la incorporació de l'estàndard IEC 65850 per a l'enviament de les mesures de tensions i corrents de xarxa. Finalment també es podria fer un estudi més acurat del controlador PI dels rellotges per obtenir una deriva entre rellotges menor en règim estacionari.

Pel que fa les línies futures del *hardware*, es troba el disseny i la implementació d'una font d'alimentació d'entrada xarxa i sortida 24 V, per alimentar la placa de sensat i la placa de control *Neo*. Per acabar es podria dissenyar i fabricar una carcassa pel conjunt *hardware*.

# Agraïments

Són moltes les persones que cal mencionar en aquestes línies d'agraïments que han fet possible haver pogut arribat fins aquí.

En primer lloc, vull agrair a l'Àngel Puente, director del projecte, per les multitud de preguntes sobre programació que ha hagut de suportar. Han estat moltes hores d'estar a la Universitat amb l'Àngel al costat, fent bromes i involucrant-se amb els problemes.

En segon lloc, donar les gràcies al Joan Bergas, ponent d'aquest projecte, per tot el suport donat davant els problemes irresolubles. Sense dubte, sense ell, aquest projecte no hauria pogut tirar endavant.

Gràcies al Hèctor Fernàndez per la seva companyia al despatx i per la revisió de la memòria portada a terme.

Cal donar les gràcies al CITCEA-UPC en general, per tot el material aportat el qual ha resultat de gran ajuda per les proves experimentals.

També agrair als companys de despatx (Àngel, Hèctor, Andreu, Josep, Míriam i Chepe) per compartir moltes hores, tant en moments de distracció com en moments de dificultats.

Finalment, agrair a tota la meva família, que des de Menorca, em motivava per seguir endavant durant els dies de més esforç en els quals arribava a les 22:00 h a casa.

Gràcies a tots!



## Bibliografia

- [1] J. McGhee and M. Goraj. Smart high voltage substation based on iec 61850 process bus and iee 1588 time synchronization. In *Smart Grid Communications (SmartGridComm), 2010 First IEEE International Conference on*, pages 489–494, 2010. [20](#)
- [2] V. Pallares-Lopez, A. Moreno-Munoz, M. Gonzalez-Redondo, R. Real-Calvo, I.M. Garcia, A.G. de Castro, F.D. Perez, and J.-J.G. de la Rosa. Deterministic ethernet synchronism with ptp-base system for synchrophasor in smart grid. In *Compatibility and Power Electronics (CPE), 2011 7th International Conference-Workshop*, pages 22–27, 2011. [20](#)
- [3] M. Lixia, C. Muscas, and S. Sulis. Application of iee 1588 to the measurement of synchrophasors in electric power systems. In *Precision Clock Synchronization for Measurement, Control and Communication, 2009. ISPCS 2009. International Symposium on*, pages 1–6, 2009. [20](#)
- [4] Texas Instruments. *Concerto F28M36x Technical Reference Manual*, June 2011. [22](#), [108](#), [140](#)
- [5] Texas Instruments. *TMS320F28M36x Data Manual*, October 2012. [22](#)
- [6] LEM. *Current and Voltage Transducers for Industry applications*, January 2001. [24](#)
- [7] Wolfram TEPPAN Eric FAVRE. Current sensing in electric drives a future and history based on multiple innovations. *LEM Group*, page 1. [24](#)
- [8] LEM. *Current Transducer LF 205-S SP3*, v.8 edition, October 2011. [25](#), [26](#)
- [9] LEM. *Voltage Transducer LV 25-P*, v.18 edition, November 2012. [27](#), [28](#)
- [10] IEEE Instrumentation and Measurement Society. *IEEE Standard for a Precision Clock Synchronization Protocol for Networked Measurement and Control Systems*, v2 edition, March 2008. [33](#), [36](#), [37](#), [38](#), [39](#), [40](#), [41](#), [42](#), [43](#), [46](#), [112](#), [114](#), [116](#), [118](#), [120](#), [122](#), [124](#)
- [11] Michael Branicky Kendall Correll, Nick Barendt. Design considerations for software only implementations of the iee 1588 precision time protocol. 2008. [52](#), [125](#), [126](#), [127](#), [128](#), [129](#), [130](#)
- [12] Texas Instruments. *LM25005 42V, 2.5A Step-Down Switching Regulator*, January 2006. [91](#), [92](#), [102](#)
- [13] Texas Instruments. *LM5088, LM5088-Q1 Wide Input Range Non-Synchronous Buck Controller*, December 2008. [91](#), [101](#), [102](#)
- [14] Mark Stitt. Improved voltage reference filter has several advantages. *Burr-Brown*, 1:1, 1994. [107](#), [108](#)

- [15] Alan Walsh. Front-end amplifier and rc filter design for a precision sar analog-to-digital converter. *Analog Dialogue*, 46:12, 2012. [109](#)
- [16] International Standard. *ISO-IEC 7498-1 Open Systems Interconnection Basic Reference Model*, v.2 edition, November 1994. [131](#)
- [17] Caleb Gordon. White paper introduction to iee 1588 and transparent clocks. 2009. [133](#), [134](#)
- [18] Hans Weibel and Dirk Mohl. Pre-standard prototype implementation of an end-to-end transparent clock. September 2006. [134](#), [136](#)
- [19] Hans Weibel. Technology update on iee 1588: The second edition of the high precision clock synchronization protocol. *Zurich University of Applied Sciences*, page 8, 2009. [135](#), [136](#), [137](#), [138](#)
- [20] IEEE Computer Society. *IEEE Std 802.3-2012*, December 2012. [140](#)
- [21] ISI. *RFC 768 User Datagram Protocol (UDP)*, v1.10 edition, August 1980. [142](#)
- [22] Information Sciences Institute University of Southern California 4676 Admiralty Way Marina del Rey, California. *RFC 791 Internet Protocol (IP)*, September 1981. [143](#)
- [23] Xerox PARC. *RFC 2236 Internet Group Managment Protocol (IGMP)*, v2 edition, November 1997. [143](#)
- [24] Texas Instruments. *F28M36x Software Quickstart Readme*, v1.10 edition, November 2012. [145](#), [146](#)
- [25] Texas Instruments. *Using the Stellaris® Ethernet Controller With Lightweight*, v1.10 edition, July 2009. [147](#)
- [26] Texas Instruments. *TI-RTOS User's Guide*, v1.10 edition, May 2013. [149](#)
- [27] Texas Instruments. *TI Network Developer's Kit (NDK) User's Guide*, v2.21 edition, May 2001. [150](#), [151](#)

## Annex A

# Càlculs justificatius del *hardware*

En aquest annex es descriurà en detall tots els càlculs justificatius de tota la part de *hardware* de la placa de sensat i la placa de control *Neo*, tal com es veurà a continuació.

### A.1 Càlculs de la placa de sensat

Els càlculs de la placa de sensat es dividiran entre el càlcul de les alimentacions de 24 V a 12 V i -12 V, i el càlcul de les sol·licitacions tèrmiques de la mateixa. Cal tenir en compte que els càlculs es duran a terme seguint les indicacions dels fulls de característiques del controladors dels reductors de +12 V i -12 V ([12] i [13]).

#### A.1.1 Càlcul de l'alimentació de 24/12 V

L'alimentació de +12 V estarà formada per un controlador basat en un xip LM25005MH de *Texas Instruments* i un conjunt d'elements auxiliars. Les especificacions d'entrada i sortida d'aquesta font d'alimentació es poden veure a la taula A.1.

Especificació	Valor	Unitats
Tensió mínima d'entrada	28	V
Tensió màxima d'entrada	20	V
Tensió de sortida	12	V
Arrissat tensió sortida	16	mV
Arrissat corrent sortida	0,5	A
Corrent sortida mínim	250	mA
Corrent sortida màxim	2	A

Taula A.1: Especificacions per l'alimentació de +12 V

El circuit recomanat segons [12] s'indica a la figura A.1. Tots els components que apareixen al circuit es dimensionaran segons les especificacions de la taula A.1.

Tots els càlculs del circuit s'estructuraran en els següents apartats:

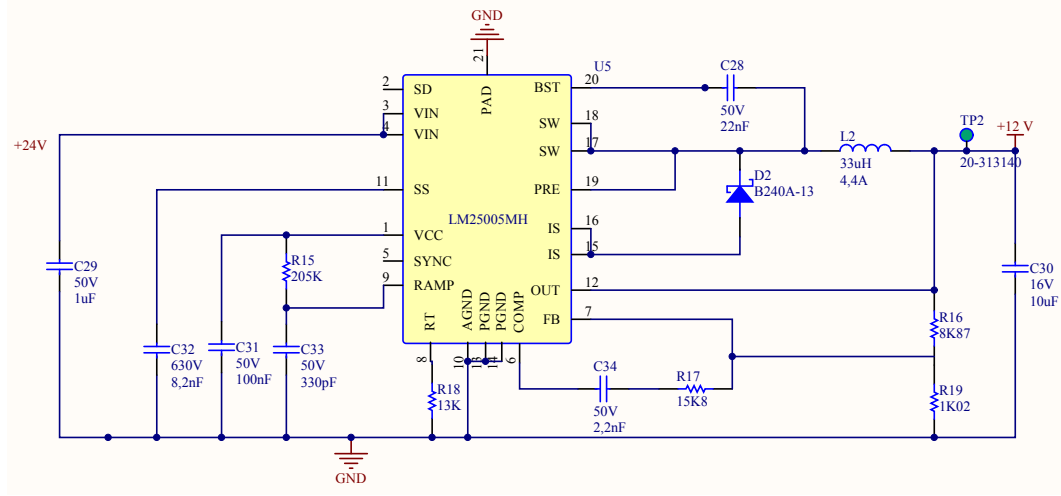


Figura A.1: Esquema general de l'alimentació de +12 V

- Elecció de la freqüència de commutació ( $R_{18}$ )
- Elecció de la bobina de sortida ( $L_2$ )
- Elecció del condensador i resistència de rampa ( $C_{33}$  i  $R_{15}$ )
- Elecció dels condensadors de sortida ( $C_{30}$ )
- Elecció del díode ( $D_2$ )
- Elecció dels condensadors d'entrada ( $C_{29}$ )
- Elecció del condensador del pin  $V_{cc}$  ( $C_{31}$ )
- Elecció del condensador d'inicialització ( $C_{28}$ )
- Elecció del temps d'inici suau ( $C_{32}$ )
- Elecció de la tensió de sortida ( $R_{16}$  i  $R_{19}$ )
- Elecció de la tensió mínima d'entrada 7 a 42 V
- Elecció del error de guany del amplificador ( $R_4$ ,  $C_5$  i  $C_6$ )

#### Elecció de la freqüència de commutació ( $R_{18}$ )

La resistència  $R_{18}$  permet escollir la freqüència de commutació del reductor. La freqüència de commutació del dispositiu es pot escollir entre 50 kHz i 800 kHz. La freqüència de commutació escollida per aquesta aplicació és de 428 kHz donant una resistència  $R_{18}$  (segons l'expressió A.1 extreta el full de característiques [12]).

$$R_{18} = \frac{\frac{1}{f} - 580 \cdot 10^{-9}}{135 \cdot 10^{-12}} = \frac{\frac{1}{428} - 580 \cdot 10^{-9}}{135 \cdot 10^{-12}} = 13 \text{ k}\Omega \quad (\text{A.1})$$



### Elecció de la bobina de sortida ( $L_2$ )

L'elecció de la bobina ve determinada per la freqüència d'operació, el corrent i el seu arrissat, i el valor màxim i mínim de la tensió d'entrada. Per evitar la conducció en mode discontinu, el rissat de corrent hauria de ser menor a la meitat del corrent mínim. La bobina de sortida es pot calcular amb la fórmula A.2.

$$L_2 = \frac{V_{out} \cdot (V_{in_{min}} - V_{out})}{\Delta I_o \cdot V_{in_{max}}} = \frac{12 \cdot (20 - 12)}{0,5 \cdot 428 \text{ MHz} \cdot 28} = 32 \mu H \quad (\text{A.2})$$

Per altre banda s'escollirà una bobina que agunti un corrent de pic de 4,25 A, el qual serà el valor màxim que podrà donar el LM25005MH. Així, la bobina escollida serà de 33  $\mu H$ , amb un corrent màxim de 4,4 A.

### Elecció del condensador i resistència de rampa ( $C_{33}$ i $R_{15}$ )

El condensador de rampa vindrà definit per la inductància seleccionada segons la fórmula A.3.

$$C_{33} = L_2 \cdot 10^{-5} = 320 \text{ pF} \quad (\text{A.3})$$

D'aquesta forma, el condensador  $C_{33}$  escollit serà de 330 pF.

Quan la tensió de sortida és major a 7,5 V s'haurà de col·locar una resistència entre el pin  $V_{cc}$  i el pin de rampa. El càlcul del valor de la resistència  $R_{15}$  es durà a terme mitjançant les fórmules A.4 i A.5.

$$R_{rampa} = \frac{V_{cc}}{I_{os} - 25 \cdot 10^{-6}} = \frac{7}{(60 - 25) \cdot 10^{-6}} = 200 \text{ k}\Omega \quad (\text{A.4})$$

$$I_{os} = V_{out} \cdot 5 \cdot 10^{-6} = 60 \mu A \quad (\text{A.5})$$

Finalment, s'escollirà una resistència de 205  $k\Omega$ .

### Elecció dels condensadors de sortida ( $C_{30}$ )

El condensador de sortida  $C_{30}$  permetrà obtenir un arrissat de tensió a la sortida que compleixi les especificacions, aportant l'energia necessària en les transicions de càrrega. La fórmula A.6 permet calcular el valor del condensador.

$$C_{30} = \frac{1}{8 \cdot f \left( \frac{\Delta V_{out}}{\Delta I_{out}} - ESR \right)} = \frac{1}{8 \cdot 428000 \cdot \left( \frac{0,016}{0,5} - 0,0046 \right)} = 10,7 \mu F \quad (\text{A.6})$$

Al final s'escollirà un condensador de 10  $\mu F$ , el qual té una resistència sèrie equivalent (ESR) de 4,6  $m\Omega$ .

**Elecció del díode ( $D_2$ )**

En el regulador LM25005 es necessita un díode de re-circulació tipus *Schotky*. L'elecció d'aquest díode es farà en funció del corrent màxim i la potència màxima de dissipació. En aquest cas, el corrent màxim de sortida serà de 2 A. S'escollirà un díode B240A-13-F, el qual presenta una caiguda de tensió de 0,5 V i un corrent màxim de 2 A.

**Elecció dels condensadors d'entrada ( $C_{29}$ )**

En la tensió d'entrada es necessitarà un condensador que permeti controlar el arriestat de tensió a l'entrada i aportar la major part del corrent quan el reductor estigui commutant. En aquest cas s'escollirà un condensador de  $1\mu F$ , de 50 V i  $10m\Omega$  de ESR, segons les recomanacions del *datasheet* del reductor LM25005.

**Elecció del condensador del pin  $V_{cc}$  ( $C_{31}$ )**

El condensador del pin  $V_{cc}$  aportarà un filtrat de soroll i estabilitat per la tensió d'alimentació del regulador. El valor recomanable pel fabricant és de 100 nF.

**Elecció del condensador d'inicialització ( $C_{28}$ )**

El condensador de *bootstrap* entre els pins BST i SW aportarà el corrent de porta per carregar la porta de l'interruptor intern del reductor. El valor recomanat pel fabricant d'aquest condensador és de 22 nF.

**Elecció del temps d'inici suau ( $C_{32}$ )**

El condensador  $C_{32}$  definirà el temps d'inici del reductor. En aquest cas es sol·licitarà un temps d'inici d'un mili-segon el qual, mitjançant la fórmula A.7, definirà el valor del condensador  $C_{32}$  escollit.

$$C_{32} = \frac{t_{ss} \cdot 10 \cdot 10^{-6}}{1,225} = \frac{0,001 \cdot 10 \cdot 10^{-6}}{1,225} = 8,4nF \quad (A.7)$$

**Elecció de la tensió de sortida ( $R_{16}$  i  $R_{19}$ )**

Les resistències  $R_{16}$  i  $R_{19}$  definiran la tensió de sortida del reductor. Així, la tensió de sortida ha de ser de 12 V. S'escull una resistència  $R_{19}$  de  $1020\Omega$ . A partir de la fórmula A.8 es pot calcular la resistència  $R_{16}$  per obtenir una tensió de sortida de 12 V.

$$R_{16} = \left( \frac{V_{out}}{1,225} - 1 \right) \cdot R_{19} = 8971,84\Omega \quad (A.8)$$

El valor de la resistència  $R_{16}$  serà indispensable que sigui tant proper al resultat de la fórmula A.8 com sigui possible. Finalment, el valor escollit és de  $8870\Omega$  obtenint, un valor d'11,87 V a la sortida.

### Elecció de la tensió mínima d'entrada

En aquest cas, el rang d'entrada d'operació del reductor es defineix com el màxim rang permès pel LM25005, deixant el pin SD a l'aire. El rang d'entrada d'operació estarà comprès entre 7 V i 42 V.

### Elecció de l'error del guany d'amplificador ( $C_{34}$ i $R_{17}$ )

El components  $C_{34}$  i  $R_{17}$  definiran el guany d'error d'amplificació per aconseguir un guany de laç tancat estable. El guany DC del LM25005 es pot calcular mitjançant la fórmula A.9, tenint en compte una càrrega a la sortida d'1 A.

$$DC_{guany} = G_m \cdot R_{carrega} = 2 \cdot R_{carrega} = 2 \cdot 12 = 24 dB \quad (A.9)$$

El pol dominant a baixa freqüència ve definit pel condensador de sortida i la resistència de càrrega. La freqüència de tall del pol es pot calcular amb la fórmula A.10, considerant el condensador de sortida escollit i una resistència de càrrega de  $12 \Omega$  per obtenir un consum a la sortida d'1 A.

$$f_{tall} = \frac{1}{2 \cdot \pi \cdot R_{carrega} \cdot C_{sortida}} = \frac{1}{2 \cdot \pi \cdot 12 \cdot 10 \cdot 10^{-6}} = 1,3 kHz \quad (A.10)$$

Els components  $C_{34}$  i  $R_{17}$  configuraran un error d'amplificació amb dos pols, un a DC i l'altre a la freqüència definida per la fórmula A.11.

$$f_z = \frac{1}{2 \cdot \pi \cdot R_{17} \cdot C_{34}} \quad (A.11)$$

L'elecció de  $C_{34}$  i  $R_{17}$  anirà en funció de l'ample de banda del laç (freqüència de creuament), el qual s'establirà a 45 kHz. La compensació del zero ( $f_z$ ) s'haurà de seleccionar, almenys, un ordre de magnitud inferior a la freqüència de creuament. Seleccionant una resistència  $R_{17}$  de  $15800 \Omega$  s'obtindrà un valor condensador a partir de la fórmula A.12.

$$C_{34} = \frac{1}{2 \cdot \pi \cdot R_{17} \cdot f_z} = \frac{1}{2 \cdot \pi \cdot 15800 \cdot 4,5 \cdot 10^3} = 2,2 \mu F \quad (A.12)$$

### A.1.2 Càlcul de l'alimentació de 24/-12 V

Els càlculs del controlador del regulador de -12 V (LM5088) seran molt semblants als portats a terme pel reductor de +12 V. Les especificacions per aquesta alimentació es poden veure a la taula A.2.

A la figura A.2 s'indica l'esquema elèctric del controlador de -12 V amb tots els components que es calcularan posteriorment.

Tots els càlculs del circuit elèctric s'estructuraran amb els següents apartats:

- Elecció de la freqüència de commutació ( $R_{13}$ )
- Elecció de la bobina de sortida ( $L_1$ )
- Resistència de sensat del corrent ( $R_s$ )

Especificació	Valor	Unitats
Tensió mínima d'entrada	28	V
Tensió màxima d'entrada	20	V
Tensió de sortida	-12	V
Arrissat tensió sortida	300	mV
Arrissat corrent sortida	0,5	A
Corrent sortida mínim	250	mA
Corrent sortida màxim	2	A

Taula A.2: Especificacions per l'alimentació de -12 V

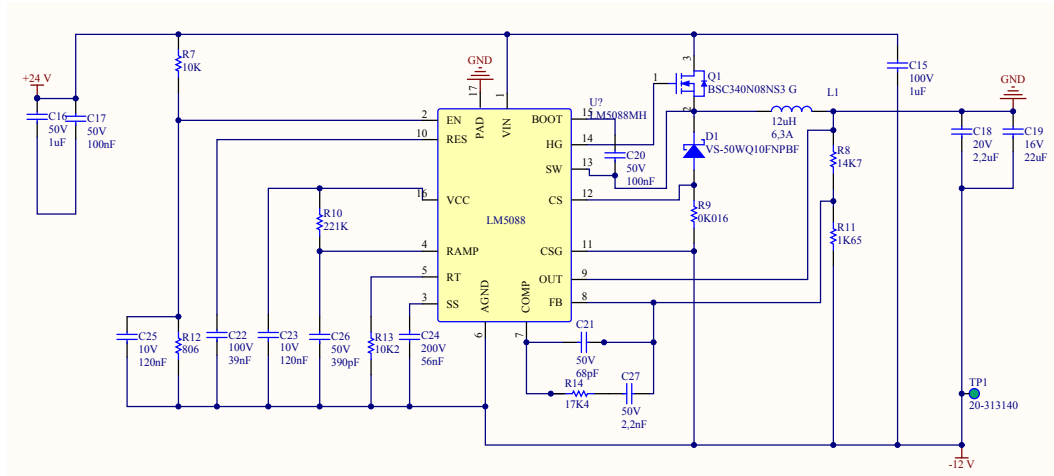


Figura A.2: Esquema general de l'alimentació de -12 V

- Elecció del condensador i resistència de rampa ( $C_{26}$  i  $R_{10}$ )
- Elecció dels condensadors de sortida ( $C_{18}$  i  $C_{19}$ )
- Elecció dels condensadors d'entrada ( $C_{16}$  i  $C_{17}$ )
- Elecció del condensador del pin  $V_{cc}$  ( $C_{23}$ )
- Elecció del condensador d'inicialització ( $C_{20}$ )
- Elecció del temps d'inici suau ( $C_{24}$ )
- Elecció de la tensió de sortida ( $R_8$  i  $R_{11}$ )
- Elecció de la tensió mínima d'entrada
- Elecció del MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*) ( $Q_1$ )
- Elecció del díode ( $D_1$ )
- Elecció del error de guany d'amplificador ( $C_{27}$ ,  $R_{14}$  i  $C_{21}$ )
- Elecció del condensador d'oscil·lador de freqüència ( $C_{22}$ )

### Elecció de la freqüència de commutació ( $R_{13}$ )

La resistència  $R_{13}$  permet escollir la freqüència de commutació del reductor. La freqüència de commutació del dispositiu es pot escollir entre 50 kHz i 1 MHz. La freqüència de commutació escollida per aquesta aplicació és de 545 kHz donant una resistència  $R_{13}$  (mitjançant la fórmula A.13).

$$R_{13} = \frac{\frac{1}{f} - 280 \cdot 10^{-9}}{152 \cdot 10^{-12}} = \frac{\frac{1}{545} - 280 \cdot 10^{-9}}{152 \cdot 10^{-12}} = 10,2 \text{ k}\Omega \quad (\text{A.13})$$

### Elecció de la bobina de sortida ( $L_1$ )

L'elecció de la bobina ve determinada per la freqüència d'operació, el corrent i el seu arriestat i el valor màxim i mínim de la tensió d'entrada. Per evitar la conducció en mode discontinu, el arriestat de corrent hauria de ser menor a la meitat del corrent mínim. La bobina de sortida es pot calcular amb la fórmula A.14.

$$L_1 = \frac{V_{out}}{\Delta I_{out} \cdot f} \cdot \left(1 - \frac{V_{out}}{V_{in_{max}}}\right) = \frac{12}{0,5 \cdot 545000} \cdot \left(1 - \frac{12}{28}\right) = 25,10 \mu H \quad (\text{A.14})$$

Finalment, la bobina escollida serà de  $33 \mu H$  amb un corrent màxim de 6,3 A, obtenint un valor d'arriestat de corrent de 0,38 (millor que les especificacions inicials).

### Resistència de sensat del corrent ( $R_s$ )

La resistència de sensat vindrà definida per la fórmula A.15.

$$R_s = \frac{\frac{V_{cs}}{A}}{(1 + marge) \cdot (I_{out} + 0,5 \cdot I_{pp}) + \frac{V_{out}}{L \cdot f}} = 16,3 \text{ m}\Omega \quad (\text{A.15})$$

S'escollirà una resistència de  $16 \text{ m}\Omega$  com a resistència de sensat.

### Elecció del condensador i resistència de rampa ( $C_{26}$ i $R_{10}$ )

El condensador de rampa vindrà definit pels paràmetres de la fórmula A.16, on la  $g_m$  és el transductor del generador de rampa ( $\mu A/V$ ) i la  $A$  és el guany de l'amplificador del sensat de corrent (V/V).

$$C_{26} = \frac{g_m \cdot L}{A \cdot R_s} = \frac{5 \cdot 10^{-6} \cdot 33 \cdot 10^{-6}}{30 \cdot 0,016} = 343 \text{ pF} \quad (\text{A.16})$$

El condensador  $C_{26}$  escollit serà de 390 pF.

Quan la sortida sigui major a 5 V s'haurà de d'incloure una resistència de rampa ( $R_{10}$ ) entre el pin de rampa i el pin  $V_{cc}$ . El valor de la  $R_{10}$  es definirà amb la fórmula A.17. El valor del corrent de compensació ( $I_{os}$ ) per sortides major a 5 V vindrà definit per la fórmula A.18.

$$R_{10} = \frac{V_{V_{cc}} - V_{ramp}}{I_{os} - 25 \cdot 10^{-6}} = \frac{13 - 8}{0,06 \cdot 10^{-3} - 25 \cdot 10^{-6}} = 228 \text{ k}\Omega \quad (\text{A.17})$$

$$I_{os} = V_{out} \cdot 5 \mu A/V = 12 \cdot 5 \mu A/V = 0,06 mA \quad (A.18)$$

S'escollirà un valor de resistència de sensat de  $221 k\Omega$ .

#### Elecció dels condensadors de sortida ( $C_{19}$ i $C_{18}$ )

Els condensadors de sortida  $C_{19}$  i  $C_{18}$  permetran obtenir un arriassat de tensió a la sortida, que compleixi les especificacions, aportant l'energia necessària en les transicions de càrrega. Amb la fórmula A.19 es pot calcular el valor del condensador de sortida necessari.

$$C_{19} = \frac{L \cdot (I_{out} + \frac{\Delta I_{PP}}{2})^2}{(\Delta V_{out} + V_{out})^2 - (V_{out})^2} = 21,73 \mu F \quad (A.19)$$

S'escolliran dos condensadors, un de  $2,2 \mu F$  i l'altre de  $22 \mu F$ , per així disminuir la resistència equivalent dels mateixos.

#### Elecció dels condensadors d'entrada ( $C_{16}$ i $C_{17}$ )

A la tensió d'entrada es necessitarà un condensador que permeti controlar el arriassat de tensió d'entrada i aportar la major part del corrent quan el reductor estigui commutant. L'elecció d'aquests condensadors es durà a terme en funció del arriassat de tensió que es desitgi, segons la fórmula A.20.

$$C_{16} = \frac{I_{out}}{4 \cdot f \cdot \Delta V_{in}} = \frac{2}{4 \cdot 545000 \cdot 0,6} = 1,5 \mu F \quad (A.20)$$

S'escolliran dos condensadors, un de  $1 \mu F$  i l'altre de  $0,1 \mu F$  per reduir la resistència sèrie equivalent.

#### Elecció del condensador del pin $V_{cc}$ ( $C_{23}$ )

El condensador del pin  $V_{cc}$ , aportarà un filtrat de soroll i estabilitat per la tensió d'alimentació del regulador. El valor mínim recomanable pel fabricant és de  $100 nF$  però s'escollirà un de  $120 nF$ .

#### Elecció del condensador d'inicialització $C_{20}$

El condensador de *bootstrap* entre els pins BST i SW aportarà el corrent per carregar la porta de l'interruptor intern del reductor. El valor recomanat pel fabricant d'aquest condensador és de  $100 nF$ .

#### Elecció del temps d'inici suau $C_{24}$

El condensador  $C_{32}$  definirà el temps d'inici del reductor. En aquest cas es sol·licitarà un temps d'inici de  $6 ms$  el qual, mitjançant la fórmula A.21, definirà el valor del condensador  $C_{24}$  escollit.

$$t_{ss} = \frac{t_{ss} \cdot 11 \cdot 10^{-6}}{1,205} = \frac{0,006 \cdot 11 \cdot 10^{-6}}{1,205} = 54,8 \text{ nF} \quad (\text{A.21})$$

El valor escollit del condensador serà de  $56 \text{ nF}$ .

#### Elecció de la tensió de sortida ( $R_8$ i $R_{11}$ )

Les resistències  $R_8$  i  $R_{11}$  definiran la tensió de sortida del reductor. Així, la tensió de sortida ha de ser de  $12 \text{ V}$  en valor absolut. A partir d'aquí s'escull una resistència  $R_{11}$  de  $1650 \Omega$ . Amb la fórmula A.22 es pot calcular la resistència  $R_8$  per obtenir una tensió de sortida de  $12 \text{ V}$  en valor absolut.

$$R_8 = \left( \frac{V_{out}}{1,205} - 1 \right) \cdot R_{11} = 14781,54 \Omega \quad (\text{A.22})$$

El valor de la resistència  $R_8$  serà indispensable que sigui tant proper com sigui possible al resultat de la fórmula A.22. En aquest cas, el valor escollit és de  $14700 \Omega$ , obtenint un valor de  $11,94 \text{ V}$  a la sortida.

#### Elecció de la tensió mínima d'entrada ( $R_7$ i $R_{12}$ )

El rang d'entrada es defineix en el pin d'habilitació (EN) mitjançant un divisor resistiu format per les resistències  $R_7$  i  $R_{12}$ . Si es fixa un valor de resistència de  $10 \text{ k}\Omega$  per a la  $R_7$ , el valor de la  $R_{12}$  es pot trobar mitjançant la fórmula A.23 si es vol obtenir una tensió mínima d'entrada d'habilitació de  $20 \text{ V}$ . Caldrà tenir en compte que s'instal·larà un condensador de  $120 \text{ nF}$  de filtrat en paral·lel a la  $R_{12}$  per filtrar el senyal.

$$R_{12} = 1,2 \cdot \frac{R_7}{V_{min} + (5 \cdot 10^{-6} \cdot R_7) - 1,2} = 636,6 \Omega \quad (\text{A.23})$$

El valor de resistència  $R_{12}$  escollit és de  $806 \Omega$ , obtenint un valor de tensió mínima d'entrada de  $16 \text{ V}$  (millor a les especificacions).

#### Elecció del MOSFET ( $Q_1$ )

L'elecció del transistor anirà en funció del corrent màxim i la tensió que haurà de suportar. Aquests valors seran de  $30 \text{ V}$  i  $2 \text{ A}$ , respectivament, segons les especificacions inicials. L'interruptor escollit és el OptiMOS 3 del fabricant Infineon. Els paràmetres principals d'aquest interruptor es poden veure a la taula A.3.

Especificació	Valor	Unitats
Tensió drenador sortidor	80	V
Resistència drenador sortidor	34	$m\Omega$
Corrent màxim drenador sortidor	23	A
Càrrega entre porta i sortidor	9,1	nC
Temps de pujada	3	ns
Temps de baixada	2	ns

Taula A.3: Especificacions de l'interruptor MOSFET

**Elecció del díode ( $D_1$ )**

En el circuit del reductor cal un díode de recirculació tipus *Schotky*. En aquest cas s'escollirà un díode *Schotky* de la marca Vishay. Les especificacions d'aquest díode es poden veure a la taula A.4.

Especificació	Valor	Unitats
Tensió ànode càtode de tall	100	V
Resistència conducció	0,63	$\Omega$
Corrent màxim en directe	5,5	A

Taula A.4: Especificacions del díode *Schotky***Elecció del error de guany d'amplificador( $C_{27}$ ,  $R_{14}$  i  $C_{21}$ )**

El components  $C_{27}$ ,  $R_{14}$  i  $C_{21}$  definiran el guany d'error d'amplificació per aconseguir un guany de llac tancat estable. El guany DC del LM25005 es pot calcular mitjançant la fórmula A.24 tenint en compte un càrrega a la sortida d'1 A.

$$DC_{guany} = \frac{R_{carrega}}{A \cdot R_s} = \frac{12}{10 \cdot 0,016} = 75 \text{ dB} \quad (\text{A.24})$$

El pol dominant a baixa freqüència ve definit pel condensador de sortida i la resistència de càrrega. La freqüència de tall del pol es pot calcular amb la fórmula A.25, utilitzant el valor capacitiu del condensador de sortida escollit i una resistència de càrrega de 12  $\Omega$ , per obtenir un consum a la sortida d'1 A.

$$f_{tall} = \frac{1}{2 \cdot \pi \cdot R_{crrrega} \cdot C_{sortida}} = \frac{1}{2 \cdot \pi \cdot 12 \cdot 21,732 \cdot 10^{-6}} = 611,2 \text{ Hz} \quad (\text{A.25})$$

Els components  $C_{27}$  i  $R_{14}$  configuraran un error d'amplificació amb dos pols, un a DC i l'altre a la freqüència definida per la fórmula A.26.

$$f_z = \frac{1}{2 \cdot \pi \cdot R_{14} \cdot C_{27}} \quad (\text{A.26})$$

L'elecció del  $C_{27}$  i  $R_{14}$  anirà en funció de l'ample de banda del llac (freqüència de creuament), el qual s'establirà a 45 kHz. La compensació del zero ( $f_z$ ) s'haurà de seleccionar, almenys, un ordre de magnitud inferior a la freqüència de creuament. Seleccionant una resistència  $R_{14}$  de 17400  $\Omega$ , s'obtindrà un valor condensador segons la fórmula A.27.

$$C_{27} = \frac{1}{2 \cdot \pi \cdot R_{14} \cdot f_z} = \frac{1}{2 \cdot \pi \cdot 17400 \cdot 4,5 \cdot 10^3} = 2,03 \text{ nF} \quad (\text{A.27})$$

S'elegirà un valor estàndard de 2,2 nF.

Pel que fa al condensador  $C_{21}$  s'haurà d'escollir un valor suficientment petit perquè el condensador afegeixi un pol en la funció de transferència del guany d'error. La freqüència del pol ve definida per l'expressió A.28, tenint en compte que s'escull un condensador per generar el pol de 68 pF.

$$f_{pol} = \frac{f_z \cdot C_{27}}{C_{21}} = 134 \text{ kHz} \quad (\text{A.28})$$



### Elecció del condensador d'oscil·lador de freqüència ( $C_{22}$ )

El condensador  $C_{22}$  s'utilitza per generar un senyal triangular centrat a 1,20 V, el qual modificarà el valor nominal del oscil·lador definit per la resistència  $R_{13}$  en -5% i +5%. El valor del condensador definirà la velocitat en que es modificarà la freqüència de l'oscil·lador. A l'expressió A.29 s'observa una restricció de valor de capacitat del  $C_{22}$ .

$$C_{22} \geq \frac{100 \cdot 25 \cdot 10^{-6}}{f \cdot 0,12} = 38,23 \text{ nF} \quad (\text{A.29})$$

S'escollirà un valor de condensador de 39 nF per obtenir la màxima velocitat d'oscil·lació permesa. Disposar de la funcionalitat d'oscil·lador de la freqüència permet obtenir una reducció de soroll del dispositiu a l'entrada, tal com s'indica a la figura A.3.

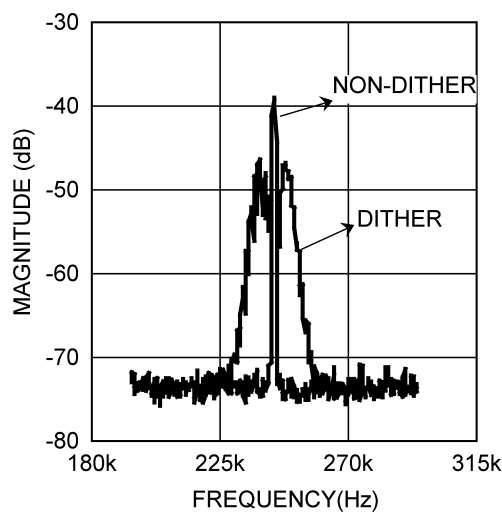


Figura A.3: Comparativa de soroll a l'entrada del dispositiu utilitzant la funcionalitat d'oscil·lació (*dither*) o no de la freqüència de commutació. Font: [13, p. 15]

### A.1.3 Càlcul de les sol·licitacions tèrmiques de la placa

En les alimentacions de la placa de sensat un dels punts crítics seran les sol·licitacions tèrmiques de la placa.

Per això, caldrà calcular les pèrdues del sistema, així com les temperatures d'unió dels components, segons el sistema de dissipació utilitzat.

#### Càlcul de les pèrdues del sistema

En el càlcul de pèrdues es seleccionaran aquells components amb majors pèrdues a la placa. En el cas del sistema d'alimentacions, les majors pèrdues es produiran als controladors, transistors i díodes.

Per realitzar el càlcul de la potència de pèrdues del díode i transistor s'utilitzaran les fórmules A.30 i A.31, respectivament

$$P_d = (1 - D) \cdot V_c \cdot I_o \quad (\text{A.30})$$

$$P_i = D \cdot I_o^2 \cdot R_c \quad (\text{A.31})$$

Pel que fa el cicle de treball (D) es considerarà un valor de 0,5, ja que la tensió d'entrada serà de 24 V i la de sortida de 12 V. En el cas del corrent de sortida ( $I_o$ ) s'escollirà un valor de 0,7 A, que serà la càrrega nominal.

Finalment, en el càlcul de les pèrdues en els controladors de +12 V i -12 V s'utilitzaran els valors de referència proporcionats en els *datasheets* ([12] i [13]).

La potència de pèrdues en cadascun dels components es pot veure a la taula A.5.

Component	Potència de pèrdues
Controlador +12 V	1 W
Controlador -12 V	1 W
Díode -12 V	0,22 W
Interruptor -12 V	0,008 W
TOTAL	2,23 W

Taula A.5: Potència de pèrdues en cadascun dels components, per una càrrega de 0,7 A

### Càlcul de les temperatures d'unió

A partir de les potències de pèrdues calculades a l'apartat anterior i les resistències tèrmiques del sistema es podran calcular les temperatures d'unió per comprovar que cap d'elles superi el valor màxim. Les resistències tèrmiques de la unió a la capsula de cada component es trobaran als *datasheets*, mentre que la resistència tèrmica de la capsula a l'ambient aniran en funció de la superfície del pla de massa.

La resistència tèrmica del pla de massa es podrà calcular segons la fórmula A.32, la qual representarà la resistència tèrmica entre la capsula i l'ambient de tots els components que dissipin les seves pèrdues pel pla de massa.

$$R_{c-a} = \frac{1}{h \cdot A} \quad (\text{A.32})$$

on "h" correspon al coeficient de conducció mentre, que la "A", a la superfície del pla de massa. Es considera, un coeficient de conductivitat de  $30 \frac{W}{^\circ C \cdot m^2}$ , ja que el pla de massa estarà compost per coure però també per aïllant FR4 que dificultarà molt l'evacuació del calor. Per una superfície de placa de  $2070 \text{ mm}^2$  s'obtindrà una resistència tèrmica del pla de massa de  $16 ^\circ C/W$ .

A partir de totes les dades anteriors es podrà construir el circuit tèrmic de la figura A.4.

Finalment, a la taula A.6 es poden veure les temperatures assolides en cadascun dels components on en cap cas es supera la temperatura màxima admissible, considerant una temperatura ambient de  $30 ^\circ C$ . Així, el sistema de dissipació és correcte. Cal dir que el número entre parèntesis indica la relació amb el circuit de la figura A.4.

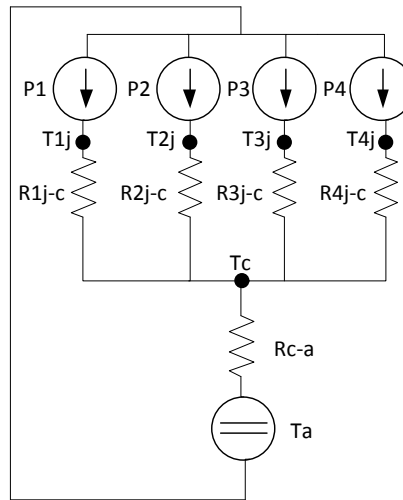


Figura A.4: Circuit tèrmic dels components amb majors pèrdues a la placa de sensat

Component	Resistència tèrmica ( $R_{j-c}$ )	Temperatura d'unió ( $T_j$ )	$T_j$ màxima
Controlador +12 V (P1)	$4\text{ }^{\circ}\text{C/W}$	$70\text{ }^{\circ}\text{C}$	$165\text{ }^{\circ}\text{C}$
Controlador -12 V (P2)	$6\text{ }^{\circ}\text{C/W}$	$72\text{ }^{\circ}\text{C}$	$165\text{ }^{\circ}\text{C}$
Díode -12 V (P3)	$3\text{ }^{\circ}\text{C/W}$	$66,66\text{ }^{\circ}\text{C}$	$150\text{ }^{\circ}\text{C}$
Interruptor -12 V (P4)	$2,5\text{ }^{\circ}\text{C/W}$	$66,02\text{ }^{\circ}\text{C}$	$150\text{ }^{\circ}\text{C}$

Taula A.6: Resistència tèrmica d'unió a caps i temperatura d'unió de cadascun dels components

## A.2 Càlculs de la placa de control

Els càlculs de la placa de control es centraran en l'etapa de condicionament i adaptació dels senyals analògics perquè dependrà de la placa de sensat dissenyada en el present projecte. A continuació es duran a terme els càlculs necessaris per dissenyar aquesta etapa.

### A.2.1 Descripció i càlcul de l'etapa d'adaptació dels senyals analògics

L'etapa de condicionament serà aquella que permetrà fer compatible el senyal analògic generat pel transductor de tensió i corrent, amb els requeriments d'entrada del ADC. En aquest capítol es duran a terme els càlculs per configurar correctament l'etapa de condicionament segons les sondes escollides.

L'amplificador operacional que s'utilitzarà en tota l'estructura d'adaptació és el OPA277 de *Texas Instruments*, el qual és un amplificador operacional d'alta precisió.

A la següent taula s'observa un resum dels senyals que donaran els transductors en relació a la transformació que hauran d'experimentar abans d'entrar al ADC.

A partir de la taula A.7 es dedueix que caldrà convertir un senyal de corrent bipolar en un senyal de tensió unipolar entre 0 i 3,3 V, tant pel sensat de tensió com pel de corrent.

Les tensions que es tractaran en cap cas seran diferencials perquè sempre estaran referenciades a 0 V.

Variable	Senyal transductor	Senyal ADC
Tensió	$\pm 25\text{ mA}$	$0..3,3\text{ V}$
Corrent	$\pm 100\text{ mA}$	$0..3,3\text{ V}$

Taula A.7: Senyals de sensat que caldrà condicionar

L'esquema complet del condicionament del senyal s'indica a la figura A.5.

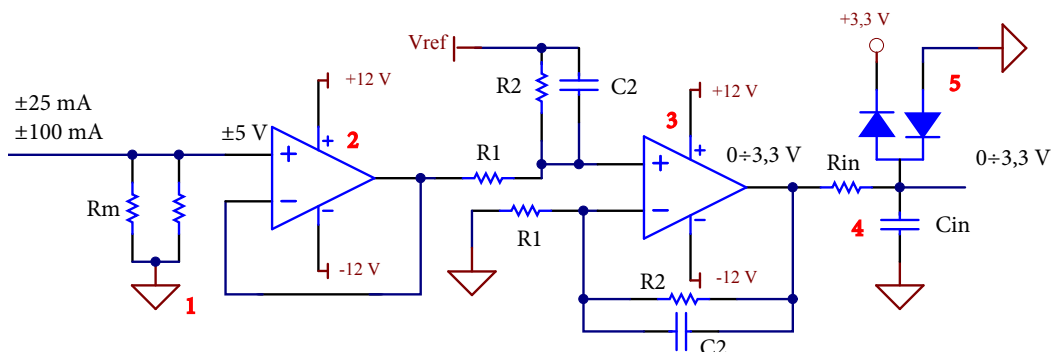


Figura A.5: Esquema general de l'etapa de condicionament del ADC

Les etapes del qual estarà compost el condicionament del senyal es poden veure a continuació:

1. Convertidor de senyal en corrent a senyal en tensió
2. Etapa d'alta impedància
3. Etapa de filtratge, guany i *Offset*
4. Mantenidor del senyal a l'entrada del ADC
5. Supressor de sobretensions i subtensions

Totes les etapes de condicionament seran comunes al transductor de tensió i corrent a excepció de la primera etapa.

### Convertidor de senyal en corrent a senyal en tensió

Aquest convertidor s'ha dimensionat en el capítol de disseny i implementació de la placa de sensat (3.3) pel lligam directe amb les sondes de tensió i corrent, i la placa de sensat.

### Etapa d'alta impedància d'entrada

Aquesta etapa aportarà una etapa d'alta impedància per evitar absorbir corrent de la resistència de sensat i distorsionar la mesura. La forma més senzilla d'implementar una etapa d'alta impedància és una estructura de seguidor de tensió mitjançant un amplificador operacional.

Si es vol que la tensió de sortida sigui igual a la tensió d'entrada caldrà aplicar l'estructura de la figura A.6. D'aquesta forma s'aconsegueix obtenir una impedància d'entrada en mode

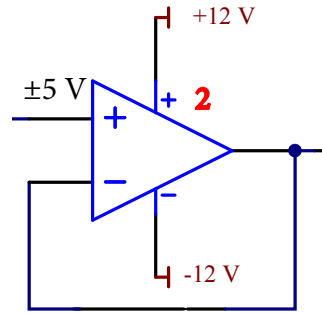


Figura A.6: Seguidor de tensió per obtenir alta impedància d'entrada

comú de  $250\text{ G}\Omega$  segons el *Datasheet*. Aquesta estructura serà comuna pel transductor de corrent i pel transductor de tensió.

### Disseny de l'etapa d'*offset*, guany i filtrat

A la sortida de l'etapa d'alta impedància es disposarà d'una tensió de  $\pm 5\text{ V}$  que cal convertir-la en un rang entre 0 i 3,3 V, a més de filtrar-la. En aquest cas s'utilitzarà el mateix AO que al seguidor de tensió, amb l'estructura de la figura A.7.

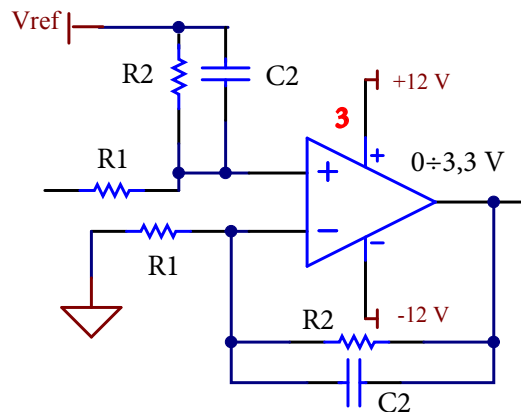


Figura A.7: Circuit per obtenir un guany, *offset* i filtratge

En aquest cas s'haurà de passar d'una tensió entre -5 V i 5 V a una tensió entre 0 i 3,3 V, és a dir, adaptar el rang d'entrada del ADC.

Si es fa l'anàlisi del circuit anterior s'obté la funció de transferència del circuit que es mostra a l'equació A.33.

$$\frac{V_{out}(s)}{V_{in+}(s)} = \frac{R_2}{R_1} \frac{1}{R_2 \cdot C_2 \cdot s + 1} + \frac{V_{ref}}{V_{in+}(s)} \quad (\text{A.33})$$

En vistes a l'expressió anterior es poden identificar tres termes, on cadascun representa una funció del circuit: guany, filtratge i *offset* respectivament. El primer terme ( $\frac{R_2}{R_1}$ ) aportarà un guany al senyal d'entrada. El segon terme, correspon a un filtre passa-baixos de primer ordre

on el producte  $R_2 \cdot C_2$  és la seva constant de temps i la seva inversa serà la freqüència de tall. Finalment, l'últim terme, aportarà un *offset* necessari pel condicionament dels senyals bipolars.

A partir d'aquí cal calcular tots els paràmetres  $R_1$ ,  $R_2$  i  $C_2$  del circuit.

En primer lloc, es calcularà l'*offset* i el guany necessari per obtenir un senyal unipolar entre 0 i 3,3 V a la sortida d'aquesta etapa.

$$\Delta V_{in} = 5 - (-5) = 10 \text{ V} \quad (\text{A.34})$$

$$\Delta V_{out} = 3,3 - 0 = 3,3 \text{ V} \quad (\text{A.35})$$

$$G = \frac{3,3}{10} = 0,33 \text{ V} \quad (\text{A.36})$$

Amb el guany extret de la fórmula A.36 s'obindrà una tensió de sortida de 1,65 V i -1,65 V quan l'entrada sigui de 5 V o -5 V, respectivament. Caldrà un *offset* de 1,65 V per ajustar la sortida al rang d'entrada del ADC (0..3,3 V). D'aquesta forma s'obtiniran 3,3 V a la sortida quan l'entrada sigui 5 V; i 0 V, quan l'entrada sigui de -5 V. Cal tenir en compte que s'haurà de generar una tensió de 1,65 V amb la màxima precisió possible per poder-la utilitzar de referència.

En aquest punt, ja es té determinat la tensió de referència ( $V_{ref}$ ) i el quocient entre  $R_1$  i  $R_2$  corresponent al guany.

Un altre punt a tenir en compte és la freqüència de tall del filtre passa-baixos, la qual s'ajustarà perquè filtri totes aquelles freqüències superiors a dues vegades l'ample de banda del transductor. Pel cas del transductor de corrent (cas més desfavorable), aquest valor es troba als 100 kHz. D'aquesta forma, la freqüència de tall que s'escollirà serà de 200 kHz, la qual correspon a una constant de temps de  $5 \mu s$ . En aquest punt es disposa del sistema d'equacions A.37.

$$\begin{cases} G = \frac{R_2}{R_1} = 0,33 \\ C_2 \cdot R_2 = 5 \mu s \end{cases} \quad (\text{A.37})$$

Finalment es fixarà la resistència  $R_1$  a  $10 \text{ k}\Omega$ , obtenint un valor de resistència  $R_2$  de  $3300 \text{ k}\Omega$  i un condensador  $C_2$  de  $1,52 \text{ nF}$ .

### Disseny de l'etapa de tensió de referència

Tal com s'ha vist a l'apartat anterior caldrà generar una tensió de 1,65 V per poder obtenir l'*offset* desitjat. A la figura A.8 es veu l'esquema general d'aquesta etapa.

En aquest cas, és crític l'estabilitat d'aquesta tensió perquè afectarà de forma directe a la mesura. Partint de que es disposa de la tensió d'alimentació de +12 V, s'ha escollit el regulador LP2985 de *Texas Instruments*, el qual permet una entrada màxima de 16 V i pot proporcionar una tensió de sortida de +5 V necessària pel xip que generarà la tensió de referència. A la figura A.9 s'indiquen les exigències externs de condensadors.

Així, s'utilitzaran els condensadors externs que es mostren a la figura A.9, per tal de complir amb els requeriments del dispositiu.

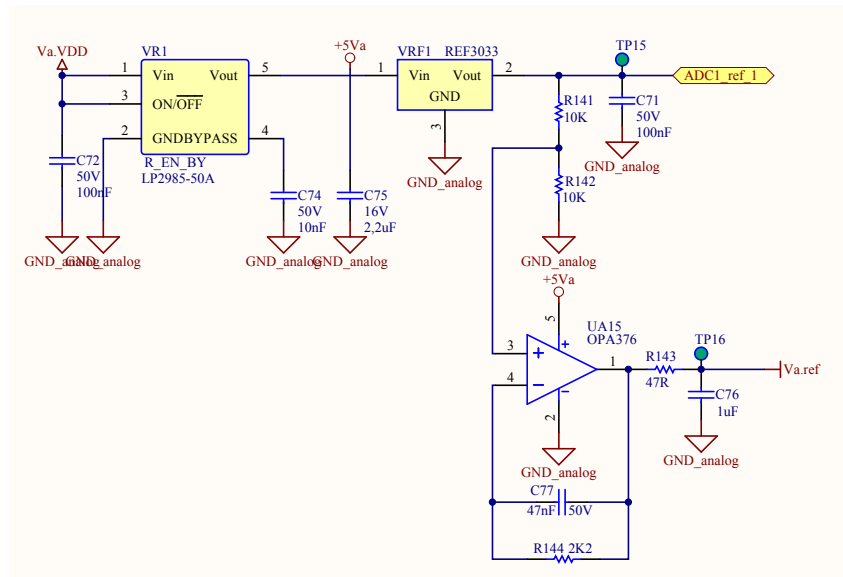


Figura A.8: Circuit generador de la tensió de referència

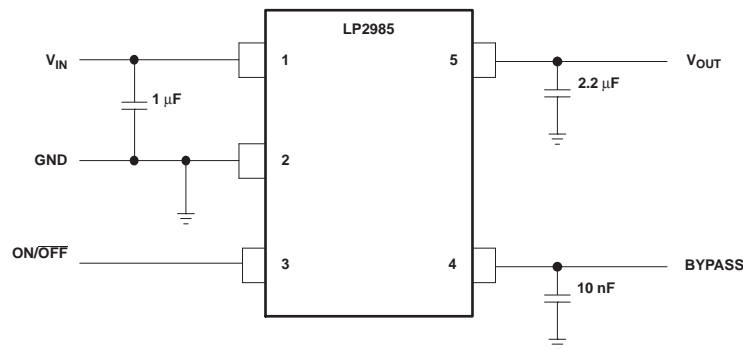
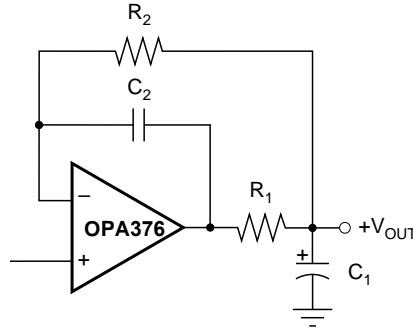


Figura A.9: Regulador 12 V/5 V per alimentar el generador de tensió de referència

Un cop obtinguts els +5 V, s'utilitzarà el generador de voltatge de referència 3033 de *Texas Instruments*, el qual donarà una tensió de sortida de 3,3 V amb una variabilitat front la temperatura de 50 ppm/°C. A partir de la tensió de sortida de 3,3 V s'utilitzarà un divisor de tensió resistiu per obtenir la tensió de referència de 1,65 V. S'ha de tenir en compte que aquestes resistències hauran de tenir una variació molt baixa amb la temperatura.

A la sortida del divisor de tensió caldrà incorporar una etapa d'alta impedància amb un amplificador operacional que permeti alimentar tots els operacionals sense consumir corrent del divisor resistiu. A més s'escollirà una estructura que permeti filtrar el senyal d'entrada. Segons la referència [14] caldrà incorporar un filtre de primer ordre a la sortida del AO per reduir el soroll induït per l'AO. L'estructura del filtre doble s'observa a la figura A.10.

A la figura anterior es dedueix que la utilització d'una realimentació després del filtre provoca que l'error causat pel corrent de fuga del  $C_1$  es redueixi a un valor insignificant mitjançant la  $R_1$  i el guany del amplificador operacional. A més, la realimentació manté la impedància DC propera a zero i la deriva a través de  $C_2$  insignificant, per culpa de que la tensió a través d'ell és pràcticament nul·la. És important veure que l'AO utilitzat en aquest cas, és de la família *rail-to-rail* ja que permet aprofitar tot l'interval d'entrada de l'alimentació. L'amplificador


 Figura A.10: Estructura de filtratge i *buffer* de la tensió de referència

escollit és l'amplificador operacional de precisió OPA376 de *Texas Instruments*. Aquest AO es podrà alimentar directament de la tensió de +5 V que dona el regulador LP2985.

$$R_2 \cdot C_2 = 2 \cdot R_1 \cdot C_1 \quad (\text{A.38})$$

Pel filtre passiu s'utilitzarà un condensador de tàntal ( $C_1$ ) de  $1\mu F$  i una resistència ( $R_1$ ) de  $47\Omega$ , tal com s'aconsella a la referència [14]. S'obtindrà un filtre amb una freqüència de tall de  $21kHz$ , suficient per eliminar tot el soroll de la tensió de referència. A partir de la equació A.38, i fixant un valor de resistència  $R_2$  de  $2200\Omega$ , s'obté un valor de  $C_2$  de  $47nF$ .

Cal dimensionar el divisor de tensió per poder obtenir els 1,65 V a partir dels 3,3 V i entrar-los a l'etapa de filtrat calculada anteriorment. En aquest cas, només caldrà escollir dues resistències idèntiques per poder dividir a la meitat els 3,3 V. Finalment s'escollirà un valor de resistències de  $10k\Omega$  per obtenir un corrent baix i per tant, unes pèrdues baixes a través del divisor de tensió. S'ha de tenir en compte que aquestes resistències hauran de tenir una desviació màxima de 50 ppm/ $^{\circ}C$  i una tolerància inferior al 0,2 % per no baixar la qualitat de la tensió generada pel 3033.

### Disseny del mantenidor del senyal d'entrada

Pel disseny del mantenidor del senyal d'entrada es partirà del esquema equivalent del ADC, indicat a la figura A.11.

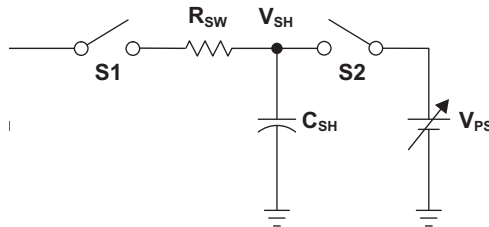


Figura A.11: Model simplificat del ADC. Font: [4, p. 933]



De la figura A.11 es pot deduir que el condensador  $C_{sh}$  correspon al condensador del mostrejador-mantenidor i que la resistència  $R_{sw}$  és la resistència del multiplexor. Finalment, la font  $V_{ps}$  modelitza la tensió residual de la mostra anterior. El mantenidor del senyal d'entrada permetrà carregar el condensador del mostrejador-mantenidor ( $C_{sh}$ ) amb un temps inferior a la finestra de mostreig. Per dur a terme el càlcul s'ha seguit la metodologia descrit a la referència [15]. Primerament es dissenyarà el circuit RC que permetrà carregar el condensador del S/H en un temps inferior al de la finestra de mostreig. A més, aquesta càrrega s'haurà de dur a terme de tal forma que el valor final tingui la precisió de la meitat d'un LSB (*Least Significant Bit*). En primer lloc es calcularà el LSB del ADC mitjançant la fórmula A.39, tenint en compte que el fons d'escala del ADC és de 3,3 V i que la resolució és de 12 bits.

$$LSB = \frac{Fons\ d'escala}{2^N - 1} = \frac{3,3}{2^{12} - 1} = 805,8608 \frac{\mu V}{bit} \quad (A.39)$$

A partir d'aquí cal calcular el valor del condensador de tal forma que la seva tensió no variï en més de 0,5 LSB ( $403 \mu V$ ) durant la càrrega de  $C_{sh}$ . En primer lloc es calcularà quina serà la càrrega que s'haurà d'emmagatzemar en el  $C_{sh}$  en el cas més desfavorable (3,3 V), amb l'equació A.40.

$$Q_{sh} = C_{sh} \cdot V_{ref} = 1,6 pF \cdot 3,3 V = 5,28 pC \quad (A.40)$$

El condensador que s'haurà d'escollir perquè la seva tensió no variï en més de 0,5 LSB es pot calcular amb les expressions A.41 i A.42.

$$Q_{in} = C_{in} \cdot 0,403 mV = 1,6 pF \cdot 3,3 V = 5,28 pC \quad (A.41)$$

$$Q_{in} = Q_{sh} \rightarrow 5,28 pC = C_{in} \cdot 0,403 mV \rightarrow C_{in} = 13,1 nF \quad (A.42)$$

El propi fabricant *Texas Instruments* recomana que el condensador d'entrada sigui com a mínim 10 vegades el condensador  $Q_{sh}$ , és a dir, hauria de ser de 16 pF. Així, el valor obtingut a l'equació A.42 és correcte. En aquest cas s'escollirà un valor de 10 nF de condensador d'entrada del ADC.

Un cop s'ha obtingut el valor del condensador, caldrà escollir el valor de la resistència ( $R_{in}$ ). Aquesta resistència aportarà aïllament entre l'amplificador operacional i l'entrada del ADC. Aquesta resistència formarà part del filtre de primer ordre i en determinarà la seva constant de temps. Per dur a terme el càlcul d'aquesta resistència caldrà saber quina és la constant de temps del ADC mitjançant la fórmula A.43.

$$\tau_{A/D} = R_{sw} \cdot C_{sh} = 3400 \cdot 1,6 pF = 5,44 ns \quad (A.43)$$

Per obtenir un valor final de tensió del  $C_{sh}$  amb un error inferior a la meitat del LSB, la càrrega  $C_{sh}$  es farà en 7,82 vegades  $\tau_{A/D}$  tal com es justifica a la fórmula A.44.

$$\left(1 - \frac{LSB}{2}\right) = (1 - e^{-\tau}) \rightarrow \tau = 7,82 \quad (A.44)$$

El temps necessari perquè el condensador  $C_{sh}$  arribi al valor final obtenint la precisió necessària serà de  $8 \cdot \tau_{A/D} = 43,52 ns$ .

El pitjor cas de mostreig es troba per un temps d'1  $\mu s$ , segons s'indica al *datasheet* del dispositiu. Aquest fet suposa que per arribar a la precisió de 0,5 LSB en 1  $\mu s$ , cal complir amb l'expressió A.45. Com a regla general es donarà un marge del 30 % a la constant de temps per donar més temps a l'amplificador l'operacional, obtenint una constant de temps la qual es pot veure a l'expressió A.46.

$$1 \mu s = 8 \cdot \tau_{in} \rightarrow \tau_{in} = 125 ns \quad (A.45)$$

$$\tau'_{in} = \tau_{in} \cdot 0,7 = 87,5 ns \quad (A.46)$$

En aquest punt ja es pot obtenir el valor de la  $R_{in}$  coneixent la constant de temps ( $\tau_{in}$ ) i el valor del condensador ( $C_{sh}$ ), tal com s'observa l'equació A.47.

$$\tau'_{in} = C_{in} \cdot R_{in} \rightarrow R_{in} = 8,75 \Omega \quad (A.47)$$

*Texas Instruments* aconsella que el valor de la  $R_{in}$  no passi de 100  $\Omega$ , així doncs, el valor obtingut a l'equació A.47 és correcte. Tanmateix s'escollirà un valor de 10  $\Omega$  per ser el valor estàndard més proper.

### Disseny de l'etapa de protecció

Aquesta etapa de protecció haurà d'existir perquè s'utilitzaran amplificadors operacionals en l'etapa de condicionament que, en funcionament d'error o en etapes transitòries, podrien arribar a donar una tensió de sortida de  $\pm 12 V$ , superant el rang màxim del ADC (0..3,3 V).

En aquest cas s'utilitzaran dos díodes en antiparal·lel. Un s'encarregarà de mantenir la tensió de 3,3 V, en el cas de superar-la, i l'altre, de mantenir-la per sobre de 0 V en el cas d'assolir valors negatius. A la figura A.12 apareixen dos díodes, el de l'esquerra, protegirà de tensions superiors als 3,3 V, mentre que el de la dreta de tensions inferiors als 0 V.

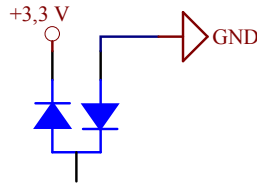


Figura A.12: Circuit de supressió de sobretensions a l'entrada del ADC

## Annex B

# Detalls del protocol PTP

### B.1 Introducció

En aquest annex es descriurà en detall alguns aspectes del protocol IEEE 1588, desenvolupat al capítol 4.

### B.2 Quantificació dels temps en el IEEE 1588

#### B.2.1 Introducció

La quantificació dels temps en un sistema PTP és de vital importància per arribar a obtenir les precisions desitjades. Per això, en aquest capítol es farà una descripció en detall d'aquest procediment a mode d'exemple real. En la descripció s'ensenyaran les diferències entre la quantificació de temps entre rellotges ordinaris, de frontera i transparents. A més, es farà èmfasi en tots els possibles errors que es puguin induir en la quantificació dels temps, com latències, temps de residència i errors d'asimetria.

#### B.2.2 Quantificació del temps amb el mecanisme de petició-resposta del retard

En aquest capítol s'ensenyaran un sèrie d'exemples del procés de sincronització entre rellotges ordinaris i de frontera mitjançant el mecanisme de petició-resposta del retard explicat, al capítol 4.3.5.

#### **Relotges ordinaris d'un sola etapa connectats amb un rellotge transparent, sense correcció d'asimetria**

En aquest exemple, es mostrarà com es quantifiquen els temps en un sistema format per dos rellotges ordinaris, un mestre i un esclau, connectats mitjançant un rellotge transparent tipus fi a fi (E2E). Així, es podrà veure l'ús del camp *CorrectionField* per corregir errors de latència i asimetries. Finalment, el rellotge transparent inclourà, en el camp *CorrectionField*, el temps de residència per obtenir uns temps el més acurats possibles. En aquest exemple

no es duren a terme correccions per asimetries, fet que provocarà que existeixi un error de -0,15 ns.

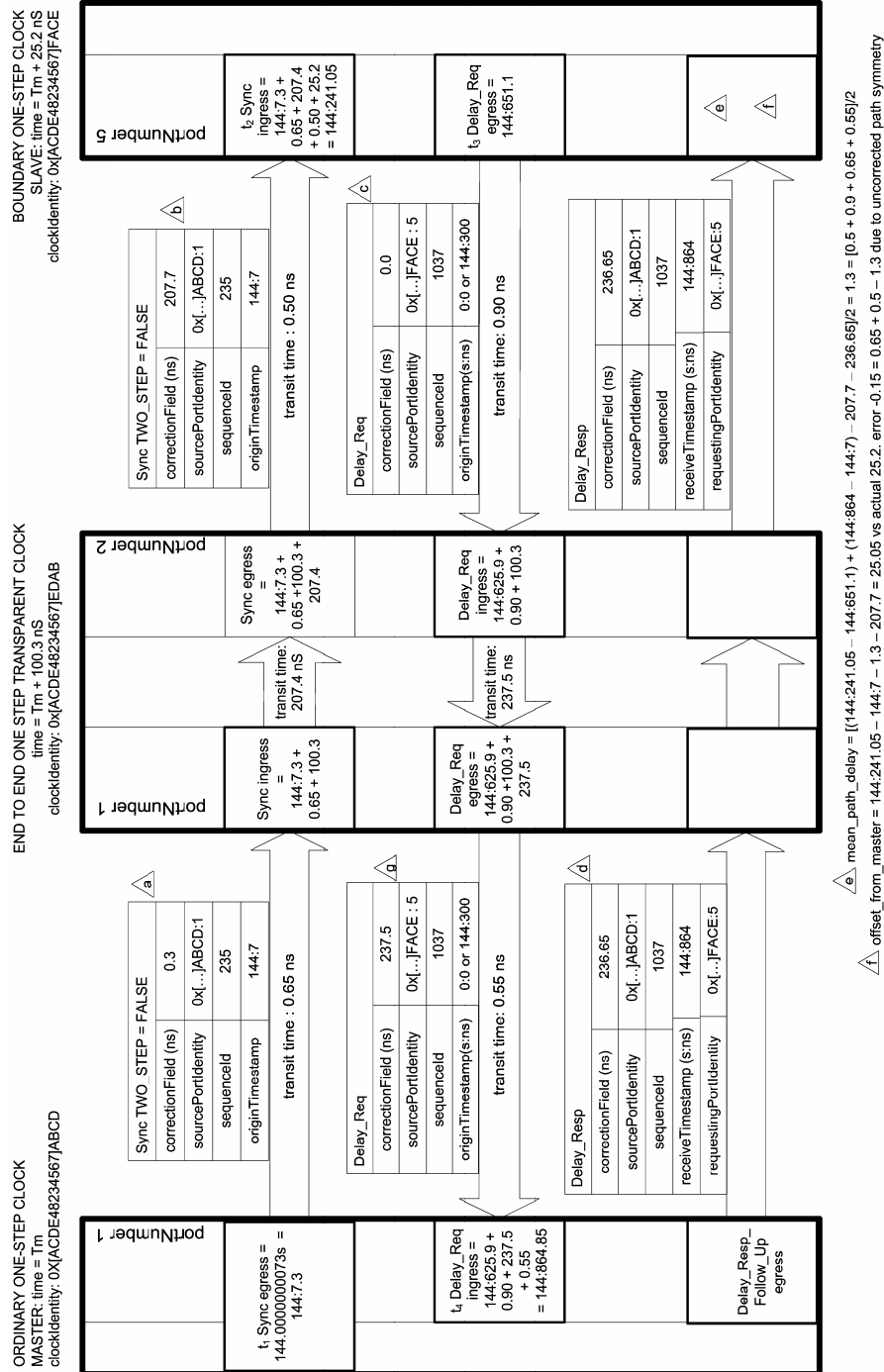


Figura B.1: Quantificació dels temps en un sistema PTP amb dos rellotges ordinari i un transparent, sense correcció d'asimetria. Font: Estàndard IEEE 1588 [10, p. 201]

A continuació es descriuran els aspectes claus de la figura B.1:

- a: En el camp *CorrectionField* s'introdueix la latència en la captura del temps  $t_1$ . El valor  $t_1$  serà la captura del temps (*originTimestamp*), més la correcció per latència.
- b: En aquest camp, es suma al *CorrectionField* el temps de residència quantificat en el rellotge transparent.
- c: El *CorrectionField* es fixa a 0, mentre que la captura del temps es fixa a 0 o a una estimació del temps d'enviament.
- d: El port de sortida i l'identificador seran els mateixos que al missatge *delay-req*. El  $t_4$  és el temps de recepció del *delay-req*, excloent les fraccions de nanosegons. El camp *CorrectionField* del missatge *delay-resp* serà el *CorrectionField* del *delay-req* menys la fracció de nanosegons del  $t_4$  (correcció per latència d'ingrés).
- e: El càlcul del retard de propagació es duu a terme amb les diverses captures de temps i els camps de *CorrectionField* (veure fórmula 4.4).
- f: El càlcul de la deriva es duu a terme mitjançant la fórmula 4.1.
- g: S'afegeix al camp *CorrectionField* el temps de residència quantificat pel rellotge transparent.

#### **Rellotges ordinaris d'una sola etapa connectats amb un rellotge transparent amb correcció d'asimetria**

Aquest exemple és exactament igual que l'anterior, a diferència que es corregeix l'asimetria en els temps de propagació dels missatges, tal com s'explica en el capítol 4.4.5. Es pot veure que el temps de propagació està compost pel retard mitjà, més una correcció per asimetria. Cal recordar que en el protocol PTP no es defineix com dur a terme la quantificació de les asimetries. Finalment destacar que la deriva quantificada s'ajusta perfectament a la deriva real entre l'esclau i el mestre.

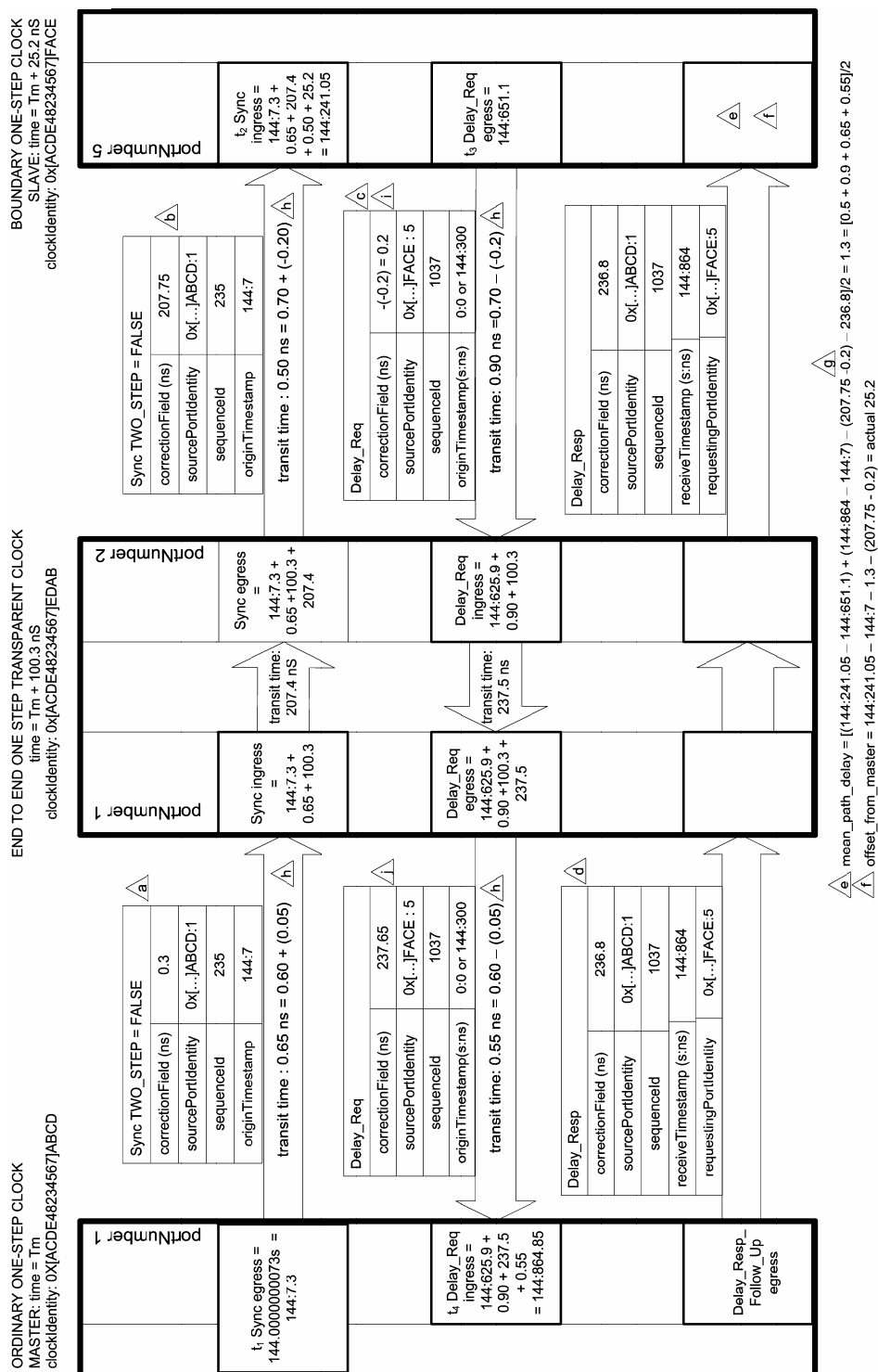


Figura B.2: Quantificació dels temps en un sistema PTP amb dos rellotges ordinaris i un rellotge transparent, amb correcció d'asimetria. Font: Estàndard IEEE 1588 [10, p. 202]

A continuació es descriuran els aspectes claus de la figura B.2:

- a: En el camp *CorrectionField* s'introdueix la latència en la captura del temps  $t_1$ . El valor  $t_1$  serà la captura del temps (*originTimestamp*), més la correcció per latència.
- b: En aquest camp es suma al *CorrectionField* el temps de residència i l'asimetria d'entrada (0,05 ns), quantificats en el rellotge transparent.
- c: La captura del temps (*OriginTimestamp*) es fixa a 0 o a una estimació del temps d'enviament.
- d: El port de sortida i l'identificador seran els mateixos que en el missatge *delay-req*. El  $t_4$  és el temps de recepció del *delay-req* excloent les fraccions de nanosegons. El camp *CorrectionField* del missatge *delay-resp* serà el *CorrectionField* del *delay-req* menys la fracció de nanosegons del  $t_4$  (correcció per latència d'ingrés).
- e: El càlcul del retard de propagació es duu a terme amb les diverses captures de temps i els camps del *CorrectionField* (veure fórmula 4.4).
- f: El càlcul de la deriva es duu a terme mitjançant la fórmula 4.1.
- g: S'afegeix al camp *CorrectionField* l'asimetria registrada en la recepció del *sync* per part de l'esclau (-0,20 ns).
- h: L'asimetria en el trànsit es modela tal com s'ha explicat en el capítol 4.4.5. El temps de propagació mitjà entre el mestre i el rellotge transparent és de 0,60 ns. En la direcció mestre-esclau, el temps actual és de 0,65 ns indicant que existeix una asimetria de 0,05 ns. Per altre banda, entre el rellotge transparent i l'esclau existeix un retard mitjà de propagació de 0,70 ns, amb una correcció per asimetria de 0,20 ns, signe del qual es funció de la direcció del missatge.
- i: El *CorrectionField* correspon a l'asimetria de sortida registrada entre l'esclau i el rellotge transparent.
- j: En el terme de *CorrectionField* s'afegeix el temps de residència i la correcció per asimetria de sortida (0,05 ns) registrada pel rellotge transparent.

#### **Rellotge ordinari mestre de dues etapes connectat amb un rellotge transparent a un rellotge ordinari d'una etapa esclau**

Aquest exemple és molt semblant a l'anterior, a diferència que el mestre és de dues etapes i per tant, també envia el missatge *follow-up*. Això permet que la captura del temps d'enviament del *sync* sigui més precisa.

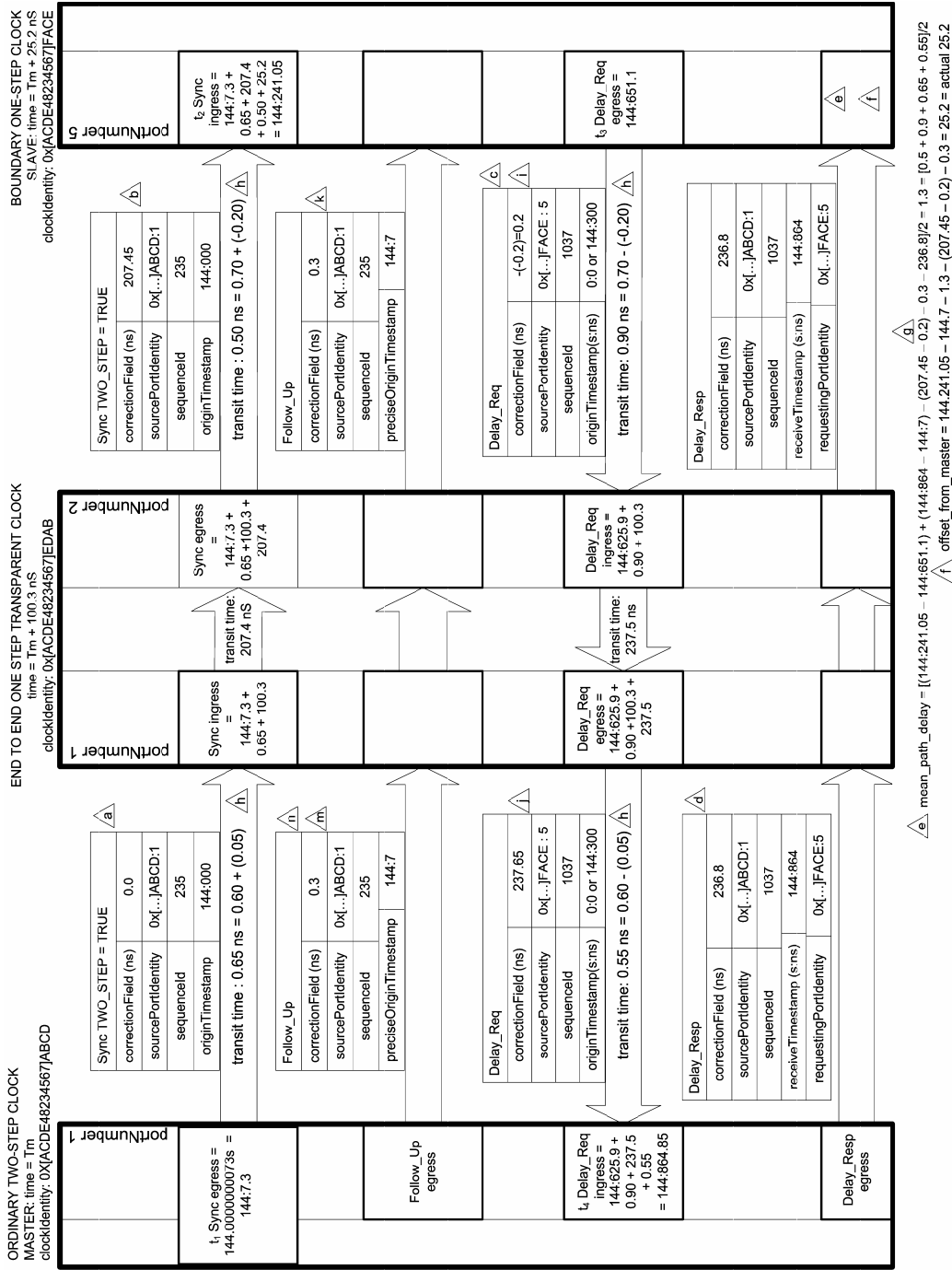


Figura B.3: Quantificació dels temps en un sistema PTP amb un mestre de dues etapes, un esclau i un rellotge transparent d'una sola etapa. Font: Estàndard IEEE 1588 [10, p. 204]

A continuació es descriuran els aspectes claus de la figura B.3:

- a: El camp *CorrectionField* és igual a 0, mentre que en la captura del temps d'envia-



ment (*originTimestamp*) s'introdueix una estimació del temps  $t_1$ .

- b: En aquest camp es suma al *CorrectionField*, el temps de residència i l'asimetria d'entrada (0,05 ns), quantificats en el rellotge transparent.
- c: La captura del temps (*OriginTimestamp*) es fixa a 0 o a una estimació del temps d'enviament.
- d: El port de sortida i l'identificador seran els mateixos al missatge *delay-req*. El temps  $t_4$  és el temps de recepció del *delay-req*, excloent les fraccions de nanosegons. El camp *CorrectionField* del missatge *delay-resp* serà el *CorrectionField* del *delay-req* menys la fracció de nanosegons del  $t_4$  (correcció per latència d'ingrés).
- e: El càlcul del retard de propagació es dur a terme amb les diverses captures de temps i els camps de *CorrectionField* (veure fórmula 4.5).
- f: El càlcul de la deriva es dur a terme mitjançant la fórmula 4.2.
- g: S'afegeix al camp *CorrectionField* l'asimetria registrada en la recepció del *sync* per part de l'esclau (-0,20 ns).
- h: L'asimetria en el trànsit es modela tal com s'ha explicat en el capítol 4.4.5. El temps de propagació mitjà entre el mestre i el rellotge transparent és de 0,60 ns. En la direcció mestre-esclau, el temps actual és de 0,65 ns, la qual cosa implica un terme d'asimetria de 0,05 ns. Per altre banda, entre el rellotge transparent i l'esclau existeix un retard mitjà de propagació de 0,70 ns, amb un correcció per asimetria de 0,20 ns, el signe del qual es funció de la direcció del missatge.
- i: El *CorrectionField* correspon a l'asimetria de sortida registrada entre l'esclau i el rellotge transparent.
- j: En el terme de *CorrectionField* s'afegeix el temps de residència i la correcció per asimetria de sortida (0,05 ns) registrada pel rellotge transparent.
- k: No es modifica cap camp del missatge *follow-up*.
- m: El temps  $t_1$  és la suma del *CorrectionField* i el *PreciseOriginTimestamp*.
- n: El port de sortida i l'identificador seran els mateixos al missatge *sync*.

### **Rellotge ordinari mestre i rellotge transparent de dues etapes amb un rellotge esclau ordinari d'una sola etapa**

En aquest exemple es mostrarà la quantificació dels temps entre un rellotge mestre de dues etapes i un esclau d'una, connectats a través d'un rellotge transparent de dues etapes amb correccions per asimetria i temps de residència. Després de l'anàlisi es podrà veure que les computacions de temps són les mateixes que en el cas anterior, però s'incorporen en camps diferents dels diversos missatges.

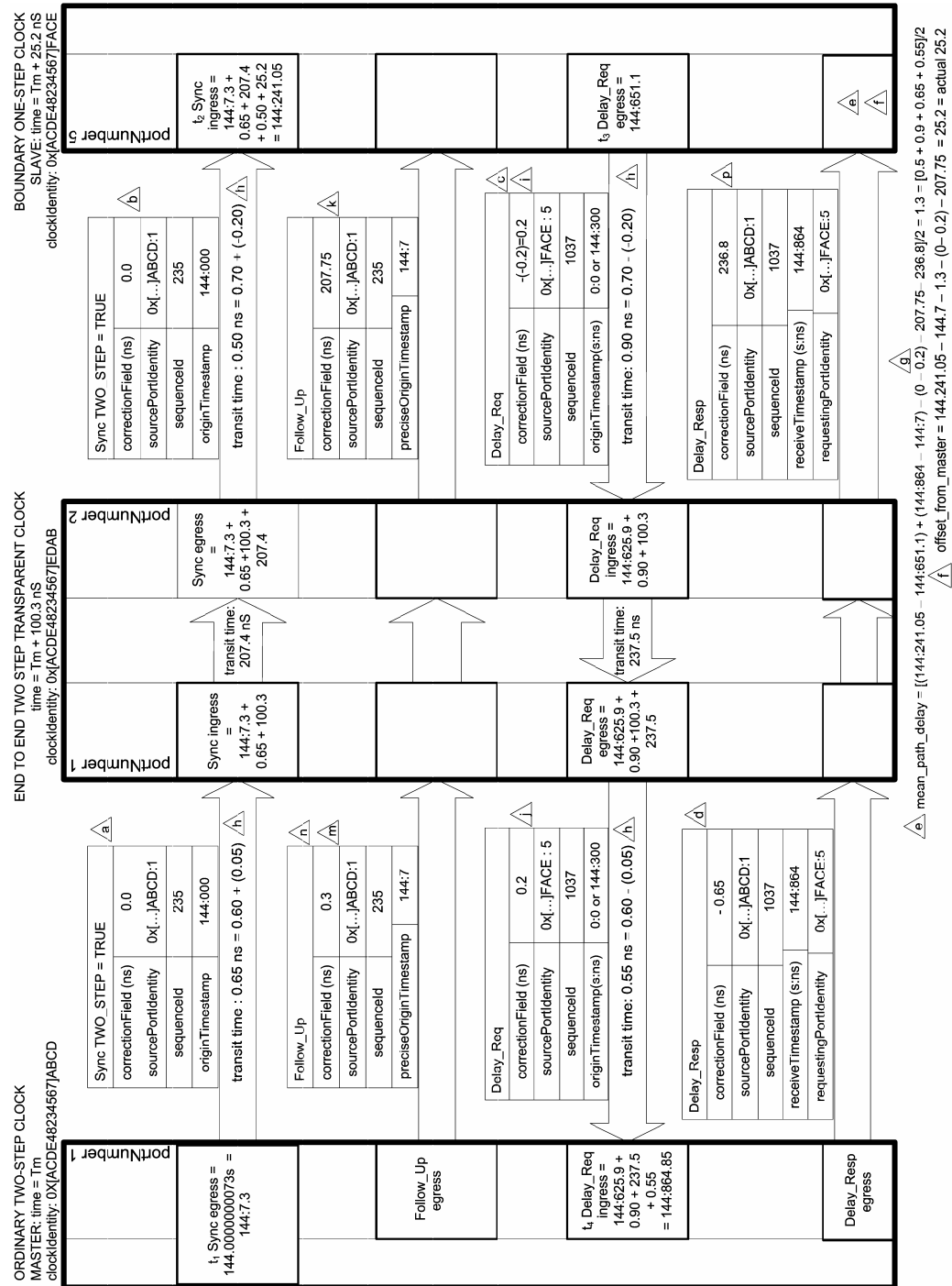


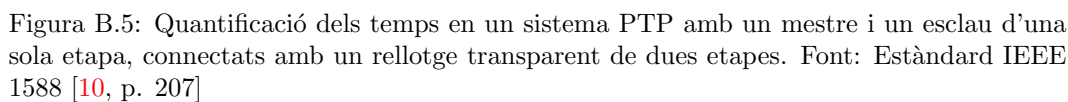
Figura B.4: Quantificació dels temps en un sistema PTP amb un mestre i un rellotge transparent de dues etapes, amb un esclau d'una sola etapa. Font: Estàndard IEEE 1588 [10, p. 206]

A continuació es descriuran els aspectes claus de la figura B.4:

- a: El camp *CorrectionField* és igual a 0, mentre a la captura del temps d'enviament (*originTimestamp*) s'introdueix una estimació del temps  $t_1$ .
- b: El *CorrectionField* és igual a 0 perquè les correccions es duen a terme en el missatge *follow-up*.
- c: La captura del temps (*OriginTimestamp*) es fixa a 0 o a una estimació del temps d'enviament.
- d: El port de sortida i l'identificador seran els mateixos al missatge *delay-req*. El  $t_4$  és el temps de recepció del *delay-req*, excloent les fraccions de nanosegons. El camp *CorrectionField* del missatge *delay-resp* serà el *CorrectionField* del *delay-req* menys la fracció de nanosegons del  $t_4$  (correcció per latència d'ingrés).
- e: El càlcul del retard de propagació es dur a terme amb les diverses captures de temps i els camps de *CorrectionField* (veure fórmula 4.5).
- f: El càlcul de la deriva es dur a terme mitjançant la fórmula 4.2.
- g: S'afegeix al camp *CorrectionField* l'asimetria registrada en la recepció del *sync* per part de l'esclau (-0,20 ns).
- h: L'asimetria en el trànsit es modela tal com s'ha explicat en el capítol 4.4.5. El temps de propagació mitjà entre el mestre i el rellotge transparent és de 0,60 ns. En la direcció mestre-esclau, el temps actual és de 0,65 ns, la qual cosa implica un terme d'asimetria de 0,05 ns. Per altre banda, entre el rellotge transparent i l'esclau existeix un retard mitjà de propagació de 0,70 ns amb un correccions per asimetria de 0,20 ns, el signe del qual es funció de la direcció del missatge.
- i: El *CorrectionField* correspon a l'asimetria de sortida registrada entre l'esclau i el rellotge transparent.
- j: En el *CorrectionField* no es dur a terme cap correcció per asimetria ni per temps de residència.
- k: En el *CorrectionField* s'afegeix el temps de residència i la correcció per asimetria.
- m: El temps  $t_1$  és la suma del *CorrectionField* i el *PreciseOriginTimestamp*.
- n: El port de sortida i l'identificador seran els mateixos que al missatge *sync*.
- p: El rellotge transparent afegeix al *CorrectionField* anterior el temps de residència i la correcció per asimetria (0,05 ns).

### **Rellojete ordinari mestre connectat a un esclau, els dos d'una sola etapa, a través d'un rellotge transparent de dues etapes**

Aquest exemple s'assembla molt a l'anterior, a excepció d'algunes particularitats en els tractaments dels temps i correccions.



- a: El temps  $t_1$  és la suma del *CorrectionField* i el *OriginTimestamp*.
- b: El *CorrectionField* és igual a 0 perquè les correccions realitzen en el missatge *follow-up*.

- c: La captura del temps (*OriginTimestamp*) es fixa a 0 o a una estimació del temps d'enviament.
- d: El port de sortida i l'identificador seran els mateixos que al missatge *delay-req*. El temps  $t_4$  és el temps de recepció del *delay-req*, excloent les fraccions de nanosegons. El camp *CorrectionField* del missatge *delay-resp* serà el *CorrectionField* del *delay-req* menys la fracció de nanosegons del  $t_4$  (correcció per latència d'ingrés).
- e: El càlcul del retard de propagació es dur a terme amb les diverses captures de temps i els camps de *CorrectionField* (veure fórmula 4.5).
- f: El càlcul de la deriva es dur a terme mitjançant la fórmula 4.2.
- g: S'afegeix al camp *CorrectionField* l'asimetria registrada en la recepció del *sync* per part de l'esclau (-0,20 ns).
- h: L'asimetria en el trànsit es modela tal com s'ha explicat en el capítol 4.4.5. El temps de propagació mitjà entre el mestre i el rellotge transparent és de 0,60 ns. En la direcció mestre-esclau, el temps actual és de 0,65 ns, la qual cosa implica que existeix un terme d'asimetria de 0,05 ns. Per altre banda, entre el rellotge transparent i l'esclau existeix un retard mitjà de propagació de 0,70 ns amb un correccions per asimetria de 0,20 ns, el signe del qual es funció de la direcció del missatge.
- i: El *CorrectionField* correspon a l'asimetria de sortida registrada entre l'esclau i el rellotge transparent.
- j: En el *CorrectionField* no es dur a terme cap correcció per asimetria ni per temps de residència.
- k: En el *CorrectionField* s'afegeix el temps de residència i la correcció per asimetria.
- m: El temps *OriginTimestamp* es copia al camp *PreciseOriginTimestamp*, de la mateixa forma que l'identificador del missatge i la font de rellotge.
- n: La *flag* del rellotge de dues etapes es canvia a "verdadera".
- p: El rellotge transparent afegeix al *CorrectionField* anterior el temps de residència i la correcció per asimetria (0,05 ns).

### B.2.3 Quantificació del temps amb mecanisme d'igual a igual (P2P)

En aquest capítol es realitzaran un sèrie d'exemples del procés de sintonització de rellotges a través del mecanisme de quantificació del retard d'igual a igual (P2P) explicat en el capítol 4.3.5. Tal com s'explica al capítol 4.3.5, el mecanisme P2P quantifica el retard de propagació entre dos rellotges que suportin el sistema P2P.

#### Rellotges ordinari, de frontera i transparent de fi a fi (E2E) d'una sola etapa

En aquest exemple s'utilitza un rellotge ordinari com a mestre, un rellotge de frontera que implementa el mecanisme P2P per sincronitzar-se. Entre els dos es disposa d'un rellotge transparent de fi a fi (E2E).

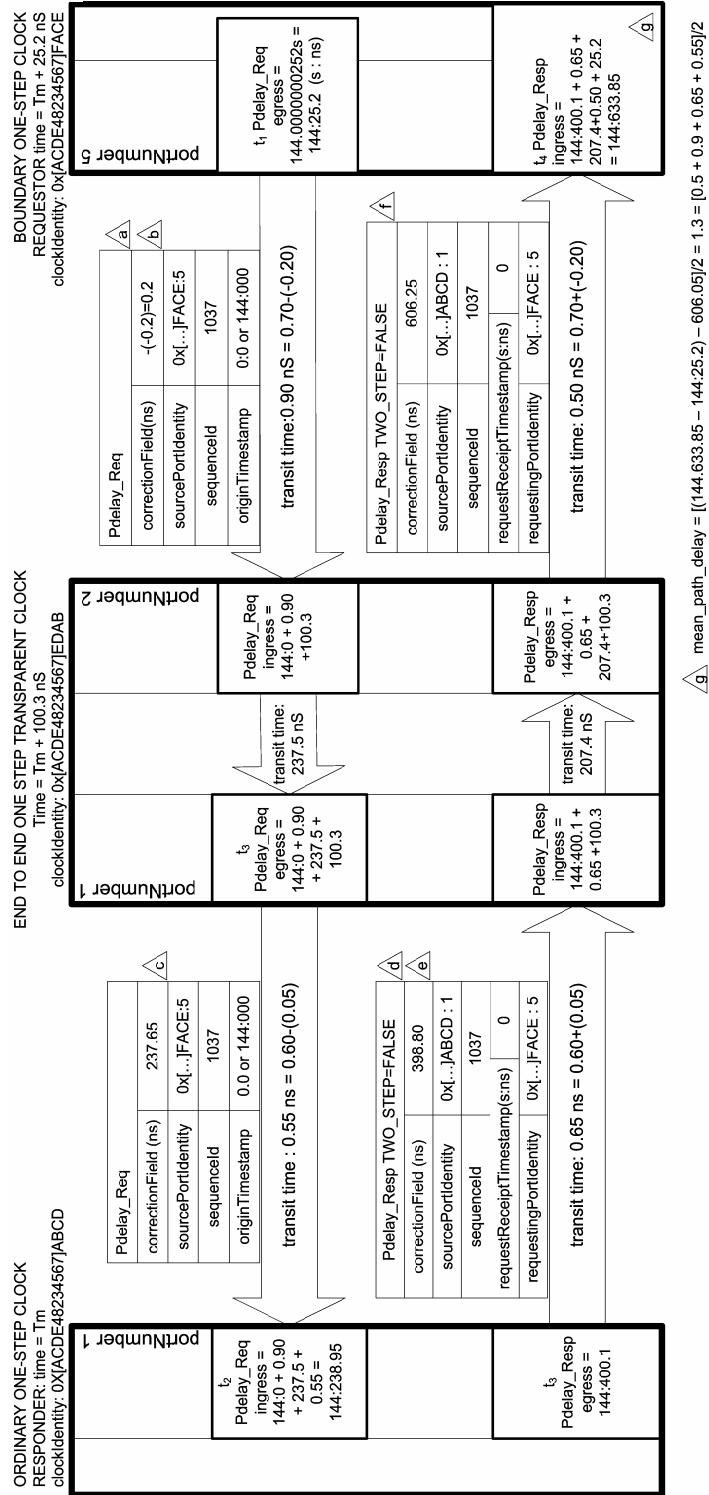


Figura B.6: Quantificació dels temps en un sistema PTP amb un mestre i un rellotge de frontera esclau, connectats a un rellotge transparent. Font: Estàndard IEEE 1588 [10, p. 210]

A continuació es descriuran els aspectes claus de la figura B.6:

- a: El *OriginTimestamp* és igual a 0 o una estimació del temps  $t_1$ .
- b: El *CorrectionField* és la correcció per asimetria.
- c: El *CorrectionField* es modifica per introduir-li el temps de residència i la correcció per asimetria (0,05 ns).
- d: El *RequestReceiptTimestamp* és fixa a 0. El port d'origen i l'identificador del missatge es copia del missatge *Pdelay-req*.
- e: El *CorrectionField* és la suma del *CorrectionField* del missatge *Pdelay-req* més el temps que transcorre entre  $t_2$  i  $t_3$ .
- f: S'afegeix al camp *CorrectionField* l'asimetria registrada en la recepció del *Pdelay-resp* (0,05 ns).
- g: Es calcula el retard de propagació mitjançant la fórmula 4.7.

#### **Relloctge ordinari i de frontera d'una sola etapa, sincronitzats amb un rellotge transparent d'igual a igual (P2P)**

Aquest exemple mostra la quantificació dels temps entre un rellotge ordinari que actua com a mestre i un rellotge de frontera que actua com esclau, comunicats a través d'un rellotge transparent d'igual a igual (P2P). Cal dir l'anàlisi no contempla la quantificació del retard mitjà de propagació entre el rellotge ordinari i el rellotge transparent, així com entre el rellotge de frontera (esclau) i el rellotge transparent (ja explicat al capítol B.2.3).

A continuació es descriuran els aspectes claus de la figura B.7:

- a: El *OriginTimestamp* més el *CorrectionField* és el temps exacte  $t_1$ .
- b: El retard de propagació mitjà es determina mitjançant el mecanisme d'igual a igual (P2P).
- c: La *flag* que indica que el rellotge de dues etapes es canvia a "verdader".
- d: El port d'origen i l'identificador del missatge es copien del missatge *sync*. El temps *OriginTimestamp* es copia al camp *PreciseOriginTimestamp*. Al camp de *CorrectionField* s'introdueix el temps de residència, el retard mitjà entre el mestre i el rellotge transparent, a més de la correcció per asimetria (0,05 ns).
- e: Es calcula la deriva entre mestre i esclau mitjançant la fórmula 4.2.
- f: S'afegeix al camp *CorrectionField* l'asimetria registrada en la recepció del *sync* per part de l'esclau (0,20 ns).

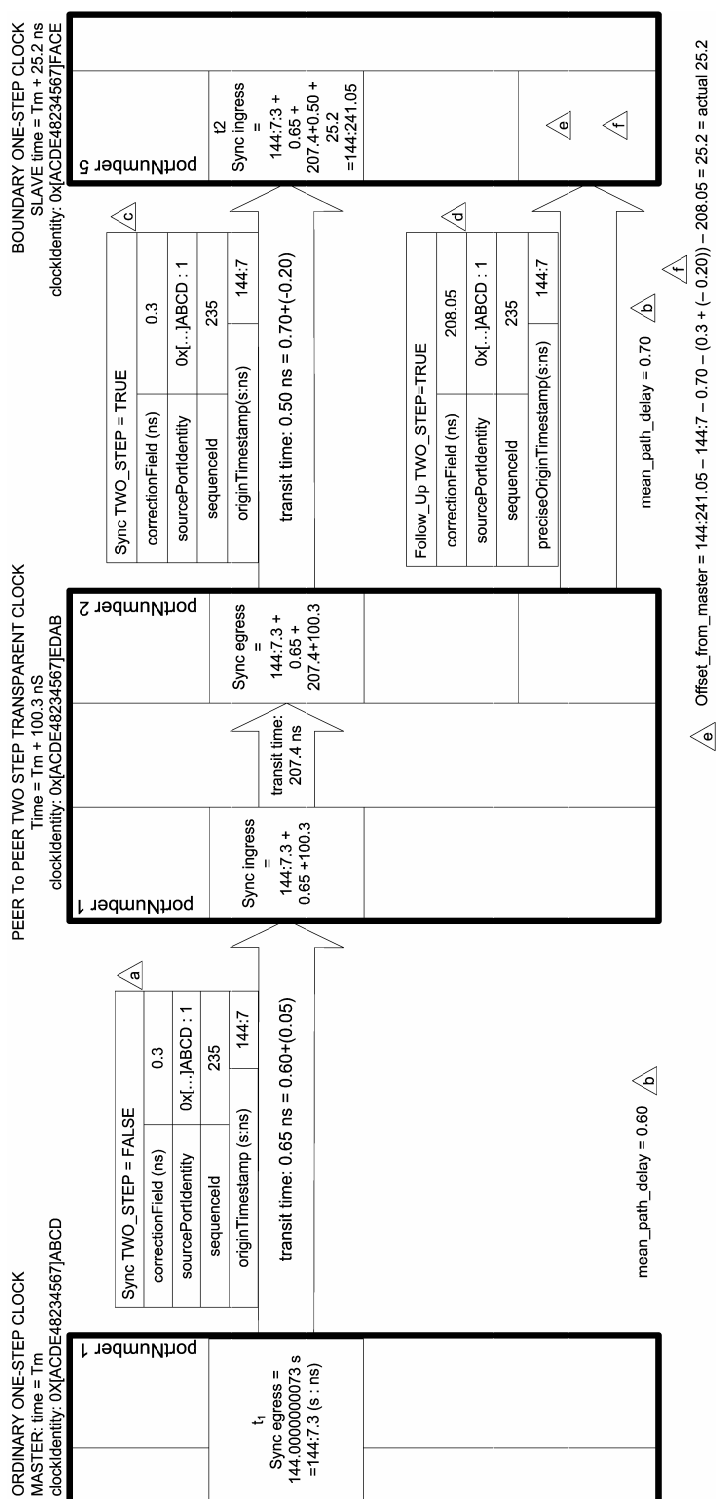


Figura B.7: Quantificació dels temps en un sistema PTP amb un mestre i rellotge de frontera esclau d'una sola etapa, connectats amb un rellotge transparent d'igual a igual (P2P) de dues etapes. Font: Estàndard IEEE 1588 [10, p. 217]



## Annex C

# Estudi d'una implementació IEEE 1588

### C.1 Introducció

En aquest annex es durà a terme un estudi d'una implementació del protocol PTP. La implementació estudiada és de codi obert i s'anomena PTPd. El PTPd va ser desenvolupat per dos estudiants de la universitat de *Case Western Reserve*, durant un període de 6 mesos. Tota la informació teòrica d'aquest codi es pot trobar a *Design Considerations for Software Only Implementations of the IEEE 1588 Precision Time Protocol* [11]. El codi estudiat és una implementació *software*, i que per tant, el dispositiu *hardware* on s'implementi, no cal que tingui disponible un sistema específic de captura dels temps del missatge *Ethernet*. Aquest fet provoca que les precisions màximes són d'uns  $10\ \mu s$ , molt inferiors a les especificades en el protocol PTP on s'indiquen precisions de fins els ns. El testeig del codi s'ha desenvolupat en el microprocessador *Concerto* de *Texas Instruments*.

### C.2 Organització del codi

El PTPd està estructurat en diversos mòduls agrupats per funcionalitats tal com s'indica a la figura C.1. Existeix el nucli del protocol i el sistema operatiu amb mòduls d'interfície per intercomunicar-los. A més, el codi es divideix en components dependents i no dependents de la plataforma.

- Nucli del protocol (*protocol.c*): En aquest mòdul s'implementa la màquina d'estats definida en el protocol per a un rellotge ordinari. La màquina d'estats s'implementa en un llaç infinit el qual, va canviant d'estat segons els esdeveniments que ocorren. Els esdeveniments primaris són la recepció de missatges i els temps morts, mentre que les accions primàries són l'enviament de missatges, processament del BMC i actualització del rellotge intern del dispositiu.
- BMC (*BMC.c*): S'encarrega d'executar l'algorisme del millor rellotge mestre el qual, retorna l'estat, mestre o esclau, que hauria de tenir el dispositiu en funció de tota la informació de tots els rellotges del sistema.

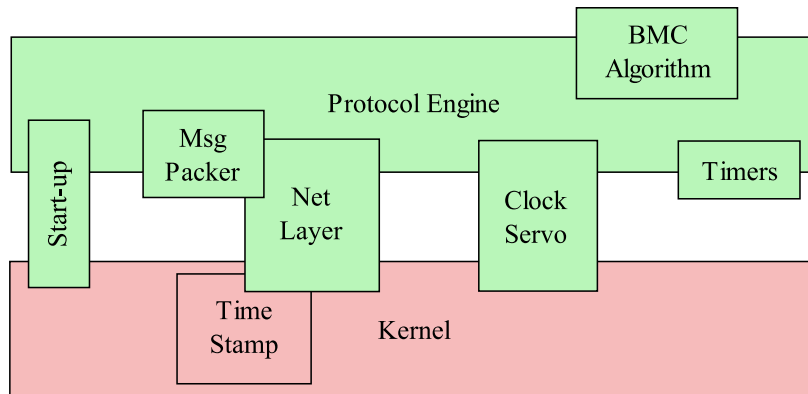


Figura C.1: Organització del codi PTPd. Font: [11]

- Servo Rellogete (dep/servo.c): Aquest mòdul s'encarrega de calcular la deriva entre mestre i esclau en funció de la informació dels missatges PTP i dur a terme la correcció del rellotge intern segons correspongui. A més, s'apliquen dos filtres per eliminar el soroll a l'entrada.
- Empaquetat dels missatges (dep/msg.c): S'encarrega de carregar o descarregar la informació provinent dels missatges PTP per poder-se processar posteriorment.
- Capa de xarxa (dep/net.c): Aquest mòdul s'encarrega d'iniciar la connexió, rebre i enviar missatges PTP. També interactua amb el component que captura els temps de recepció i enviament dels missatges de tipus esdeveniment (*TimeStamp*).
- *Time Stamp*: Guarda els temps de recepció i enviament dels missatges de tipus esdeveniment. Aquests temps s'hauran de realitzar al més aprop possible de la capa *hardware* per obtenir la màxima precisió.
- Rellogete (dep/timer.c): En el nucli del protocol s'utilitzen rellotges de baixa resolució per controlar els enviaments periòdics dels missatges *sync* i *delay-req*, l'execució periòdica del BMC i els temps morts en la recepció dels missatges *sync*.
- *Start-up* (dep/startup.c): Executa la màquina d'estats del protocol segons la configuració inicial de l'usuari.
- Altre codi: El fitxer `ptpd.c` conté el punt d'inici d'execució del codi. Finalment, existeixen els fitxers `ptpd.h`, `datatypes.h` i `constants.h` on es declaren les funcions, estructures i tipus de dades, i constants, respectivament.

La part del *kernel*, indicada en color vermell a la figura C.1, està implementada amb el lwIP (veure capítol E.2) el qual aporta l'emulació del sistema operatiu i la pila TCP/IP que permet enviar i rebre missatges PTP a través de la xarxa local o d'Internet. Així doncs, el protocol de comunicació utilitzat en les capes més baixes del PTPd és el UDP/IPv4 d'entre totes les opcions descrites al capítol D.5.

### C.3 Servo Rellotge

El protocol PTP no especifica com s'han de coordinar els rellotges un cop es coneix la deriva entre mestre i esclau. Per això, s'estudiarà el cas concret de com es dur a terme en el cas

del PTPd. A la figura C.2 es pot veure l'estructura general del servo rellotge implementada en el PTPd.

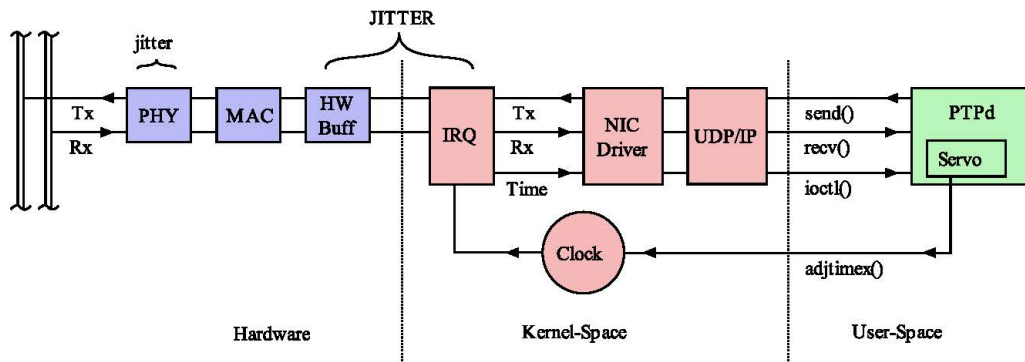


Figura C.2: Estructura general del servo rellotge PTPd. Font: *Design Considerations for Software Only Implementations of the IEEE 1588 Precision Time Protocol* [11]

A la figura C.2 s’observa que existeixen 3 parts diferenciades: la part *hardware* del *Ehternet*, la part del sistema operatiu del dispositiu i finalment, la part d’aplicació on es troba el protocol PTPd. La part blava correspon a la part física del *Ethernet* i tot el mòdul d’interfície d’Accés al Medi (MAC) del microprocessador *Concerto*. Per altre banda, la part vermella és tota la part de programari necessari pel funcionament del PTPd. Aquest està format per la pila TCP/IP lwIP i les llibreries del microprocessador (veure annex E).

L'estructura de tota la part verda de la figura C.2, correspon al control del rellotge, i s'indica a la figura C.3.

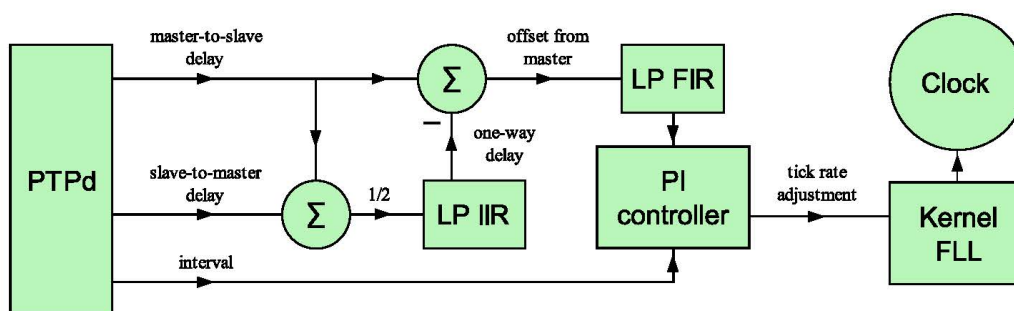


Figura C.3: Estructura del control del PTPd. Font: *Design Considerations for Software Only Implementations of the IEEE 1588 Precision Time Protocol* [11, p. 2]

S'observa que el sistema de control està format per un regulador proporcional integral (PI) amb dos filtres previs a l'entrada per minimitzar el soroll a l'entrada. La deriva entre mestre i esclau es mostreja periòdicament (cada 2 s) mentre que el retard de propagació de forma intermitent (interval·ls uniformement distribuïts entre 2 i 30 s). El càlcul de la deriva i el temps de propagació es dur a terme tal com s'explica al capítol 4.3.5.

### C.3.1 Filtres d'entrada

El filtre LP IIR (*Lowpass Infinite Impulse Response*) es tracta d'un filtre passa baixos de resposta infinita al pols amb freqüència de tall variable. L'equació C.1 s'indica el comportament d'aquest tipus de filtre on el terme "s", permet modificar la freqüència de tall i la fase del filtre. El perquè d'utilitzar una freqüència de tall variable és per minimitzar la problemàtica dels retards degut al filtratge a l'inici, els quals són crítics.

$$s \cdot y[n] - (s - 1) \cdot y[n - 1] = x[n]/2 + x[n - 1]/2 \quad (\text{C.1})$$

A les figura C.4 es pot veure la resposta freqüencial de l'equació C.1.

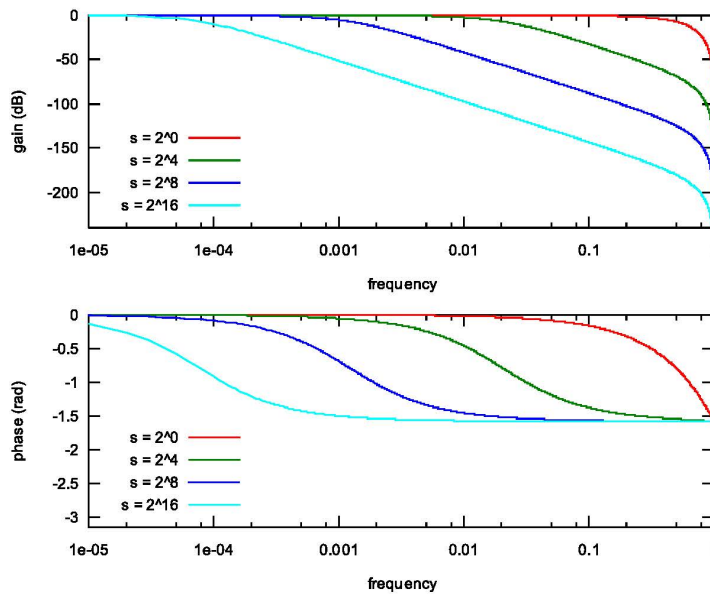


Figura C.4: Resposta freqüencial del LP IIR. Font: *Design Considerations for Software Only Implementations of the IEEE 1588 Precision Time Protocol* [11, p. 4]

El LP FIR (*Lowpass Finite Impulse Response*) és un filtre passa baixos de resposta finita al pols el qual, filtre la deriva entre mestre i esclau segons l'equació C.2. En aquest cas la freqüència de tall és constant.

$$y[n] = x[n]/2 + x[n - 1]/2 \quad (\text{C.2})$$

Cal recordar que els filtres introdueixen un retard el qual incrementa l'error del controlador PI. Un altre punt problemàtic dels filtres és que poden estar influenciats pel soroll de color causant asimetries de retard, i en conseqüència, derives constants entre rellotges les quals caldrà corregir.

El filtratge del senyal de retard i de deriva es dur a terme de forma independent degut a la diferència en les característiques intrínseques dels senyals com, temps de mostreig i variabilitat.

### C.3.2 Controlador PI

El controlador PI és l'encarregat de donar un senyal d'ajust del rellotge intern en funció de la deriva entre mestre i esclau, i el retard de propagació del senyal. La part proporcional segueix i corregeix directament l'entrada mentre que la part integral segueix i corregeix l'error en estat estacionari. Els paràmetres de disseny d'aquest controlador seran la resposta en llaç tancat incloent la convergència i l'estabilitat, l'error de temps i l'error de velocitat.

La mesura de l'error en estat estacionari s'indica a la figura C.5 i C.6 on s'observa la convergència del controlador i l'histograma de deriva entre rellotges.

El primer gràfic de la figura C.5 s'observa que la resposta del controlador PI domina sobre la resposta de la deriva degut al baix valor de filtratge. En contraposició, en el segon gràfic, es pot veure que no existeix una convergència total després d'una hora a causa de l'increment del filtre en la mesura del retard de propagació, el qual, indueix un retard que domina sobre la convergència del sistema.

Per altre banda, en l'histograma (figura C.6) s'observa que la deriva es troba al voltant dels  $3 \mu s$  i que la diferència entre un *hub* i un *switch* en termes de retard és insignificant (veure annex D), en aquest cas.

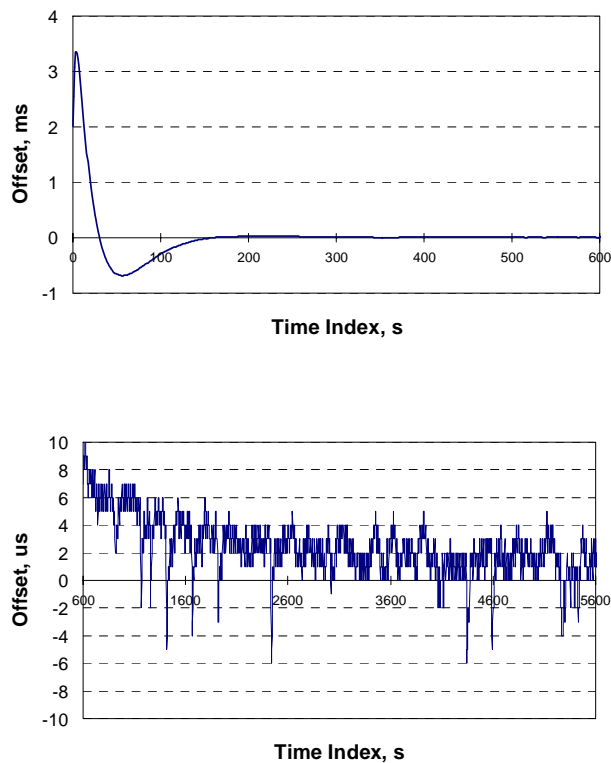


Figura C.5: Convergència del controlador PI entre 0-10 min i entre 10-90 min a la part inferior. Font: *Design Considerations for Software Only Implementations of the IEEE 1588 Precision Time Protocol* [11, p. 5]

La mesura de l'error en velocitat es dur a terme amb la variació *Allan*, la qual s'utilitza per mesurar l'estabilitat en freqüència de rellotges, oscil·ladors, entre altres. A la figura C.7 es pot veure un exemple d'aquest gràfic amb rellotges no controlats (vermella) i rellotges controlats a través d'un *hub* i un *switch* (negre i blava respectivament).

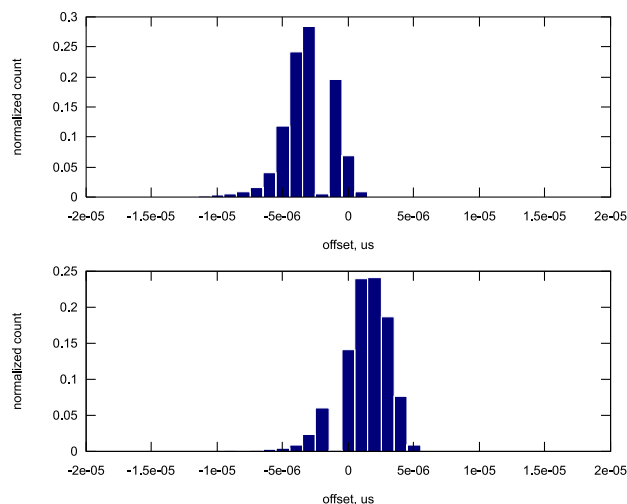


Figura C.6: Histograma de deriva entre mestre i esclau connectats a través d'un *Hub* (superior) i un *Switch* (inferior). Font: *Design Considerations for Software Only Implementations of the IEEE 1588 Precision Time Protocol* [11, p. 5]

A la figura C.7 s'observa que la variabilitat d'un rellotge no controlat té forma de "V" degut a la inestabilitat del oscil·lador físic que governa el rellotge en temps curts, una baixada de la variació natural del oscil·lador en temps mitjos i un augment de la variació a causa de la tensió d'alimentació, o a la variació de la temperatura en llargs intervals de temps. En aquest cas, es veu l'avantatge d'un regulador PI el qual fa tendir a 0 la variació del rellotge en temps llargs. També es pot veure el problema que sorgeix en escales de temps mitges (10-100 s) on la variació és més gran que en un rellotge no controlat degut als retards induïts pels filtres.

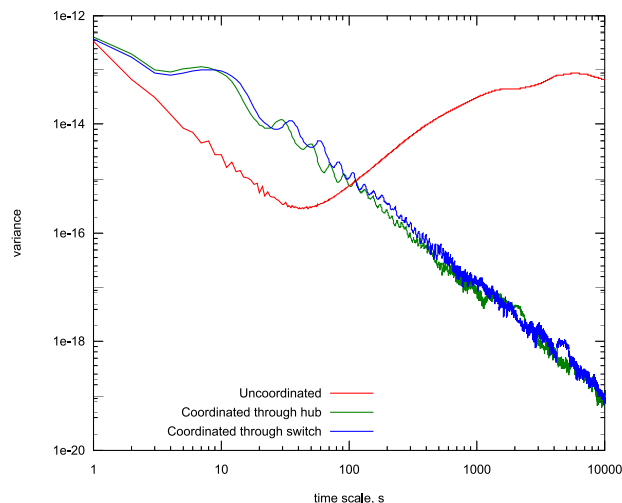


Figura C.7: Variació Allan d'un rellotge no controlat i controlat a través d'un *hub* i un *switch*. Font: *Design Considerations for Software Only Implementations of the IEEE 1588 Precision Time Protocol* [11, p. 5]

## Annex D

# Descripció general de les comunicacions

### D.1 Introducció

En aquest annex és descriuran tots els conceptes relacionats amb les comunicacions necessàries pel funcionament del PTP. Totes les descripcions es realitzaran des del punt de vista del protocol PTP.

### D.2 Model de referència de capes OSI

La ISO/IEC 7498-1 ([16]) defineix un sistema de capes que permet obtenir un sistema de comunicacions escalat i simple. A part de la definició del sistema de capes, estableix un model de referència el qual inclou 7 capes diferents, tal com es pot veure a la figura D.1.

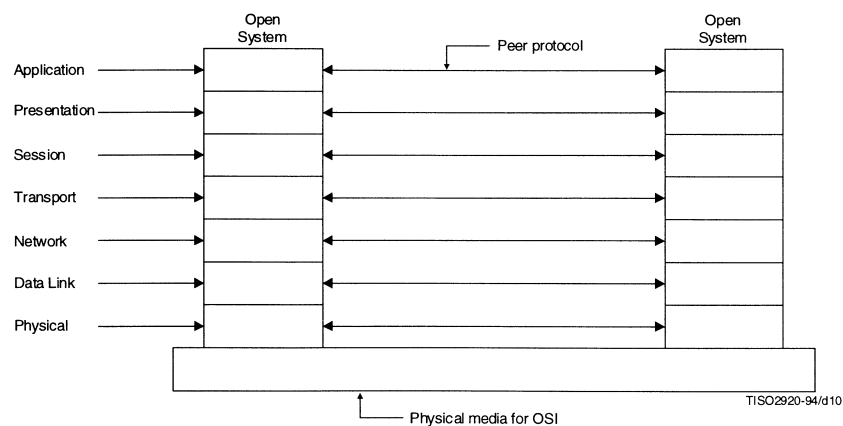


Figura D.1: Model de referència de les capes OSI. Font: *ISO-IEC 7498-1 Open Systems Interconnection Basic Reference Model* [16, p. 34]

- Capa d'aplicació (capa 7): La capa d'aplicació és aquella que s'utilitza per dur a terme la funció final del sistema, per exemple, en el cas del PTP la funció final seria la

sincronització dels rellotges de sistemes distribuïts en una xarxa local. El PTP serà la capa d'aplicació utilitzada en el present projecte.

- Capa de presentació (capa 6): Té la funció de fer compatible el llenguatge i la sintaxis utilitzada en la capa d'aplicació amb les capes inferiors. En el cas del present projecte aquesta capa no s'utilitza.
- Capa de sessió (capa 5): Té la funció de control del diàleg entre màquines, gestionant l'inici i el final de les connexions. Aquesta capa tampoc s'utilitzarà en el present projecte.
- Capa de transport (capa 4): Té la funció d'enviar paquets de dades de forma segura entre nodes localitzats en una mateixa xarxa, proporcionant serveis de transport a les capes superiors. En el cas del projecte, la capa de transport utilitzada serà la *User Datagram Transport* (UDP) (D.5.3).
- Capa de xarxa (capa 3): Té la funció de transferir dades de longitud variable anomenades datagrames, des d'un node a uns altres nodes connectats a la mateixa xarxa. L'enviament de datagrames per part d'aquesta capa no garanteix que sigui fiable. El protocol utilitzat per la capa de xarxa en el projecte és el *Internet Protocol* (IP).
- Capa d'enllaç de dades (capa 2): Aporta una connexió segura entre dos nodes connectats directament, detectant i corregint els possibles errors que puguin ocórrer a la capa física. En el cas del projecte s'utilitza el Control d'Accés al Medi (en anglès *Media Access Control* (MAC)) com a capa d'enllaç de dades més concretament, l'estàndard IEEE 802.3 (D.5.2).
- Capa física (capa 1): La capa física defineix les especificacions elèctriques i físiques de la connexió. En el cas del projecte s'utilitza l'estàndard IEEE 802.3 (D.5.2), més concretament, el 100Base-T.

## D.3 Dispositius d'una xarxa de comunicacions

Els dispositius d'una xarxa de comunicacions es poden dividir en: elements de xarxa i elements que es comuniquen. En el cas del PTP, els elements de xarxa seran els *hubs*, *switches*, *routers* i cablejat, mentre que els elements que es comuniquen, seran els rellotges que es volen sincronitzar. A continuació es farà una descripció de cadascun dels elements de xarxa.

### D.3.1 Hubs

Els *hubs* són dispositius que treballen a la capa física de la piràmide OSI i que actuen de repetidors de xarxa (veure figura D.2). Qualsevol senyal d'entrada es retransmet per tots els seus ports de forma que, si dos dispositius s'intenten comunicar al mateix temps es produeix una col·lisió.

Cal tenir en compte que el retard del *hub* és el més baix d'entre *switches* i *routers* degut a la seva senzillesa en el seu funcionament. El retard mitjà d'un *hub* sol ser de 659,8 ns. Tot i així, el rendiment de la xarxa és molt més alt funcionant amb *switches*, per això, la utilització del *hub* es veu molt reduïda.



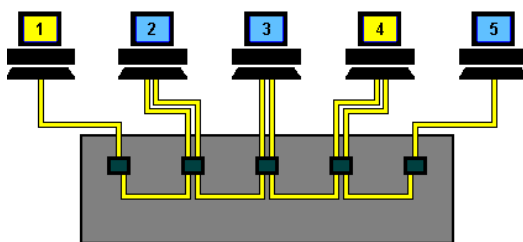


Figura D.2: Funcionament del *hub* en les transmissions de les dades

### D.3.2 Switches

Un *switch Ethernet* és un dispositiu que interconnecta xarxes de diferents topologies al nivell de la capa MAC. Els *switches* aprenen l'adreça MAC dels diversos dispositius connectats als diferents ports per enviar les dades al destinatari correcte. Això és la gran diferència respecte els *hubs*, els quals envien la informació que els arriba per un port a tots els altres ports (veure figura D.3).

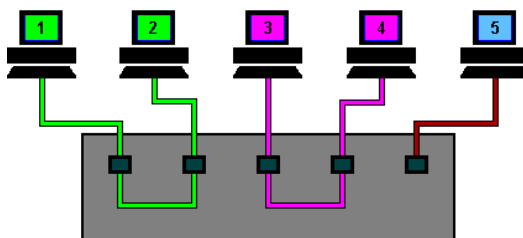


Figura D.3: Funcionament del *switch* en la commutació de les transmissions

Cal tenir en compte que, com qualsevol element de la xarxa, un *switch* introdueix un retard degut a l'actualització i consulta de les taules d'adreces i les cues d'entrada i sortida. La qualitat de servei (QoS) estableix 8 nivells de prioritat diferents per a paquets, permetent reduir el retard en paquets d'alta prioritat. Tot i així, el retard dels paquets d'alta prioritat és massa alt pels sistemes PTP.

A la taula D.1 es poden veure els valors estadístics del retard en diferents modes d'operació d'un *switch*. S'observa que a mesura que augmenta el trànsit, augmenta el retard a causa del increment d'adreces i cues que ha de gestionar el *switch*.

Retard	Sense trànsit	10% càrrega	25% càrrega	50% càrrega
Mitjà	16,8 $\mu s$	17,9 $\mu s$	19,6 $\mu s$	48 $\mu s$
Pic a pic	310 ns	121,4 $\mu s$	122,6 $\mu s$	122,8 $\mu s$
Desviació estàndard	70,1 ns	11,5 $\mu s$	17,6 $\mu s$	50,9 $\mu s$

Taula D.1: Retard d'un *switch* genèric en funció del trànsit. Font: [17, p. 12]

Aquest retard indeterminista provocarà errors en el càlcul del retard de propagació en sistemes PTP degut a retards de propagació poc constants i errors d'asimetria.

Degut a la problemàtica anterior, sorgeix el concepte de rellotge de frontera (4.3.4) en la primera versió del PTP. Els rellotges de frontera són *switch* que incorporen un rellotge que permet establir dominis de sincronització diferents. Els missatges no PTP es processen com un *switch* estàndard mentre que els missatges PTP s'utilitzen per sincronitzar el rellotge de

frontera amb el mestre. A la figura D.4, s'observa un sistema PTP amb diferents *switch* en cascada, implementats amb rellotges de frontera, en comparativa amb *switch* implementats amb rellotges transparents.

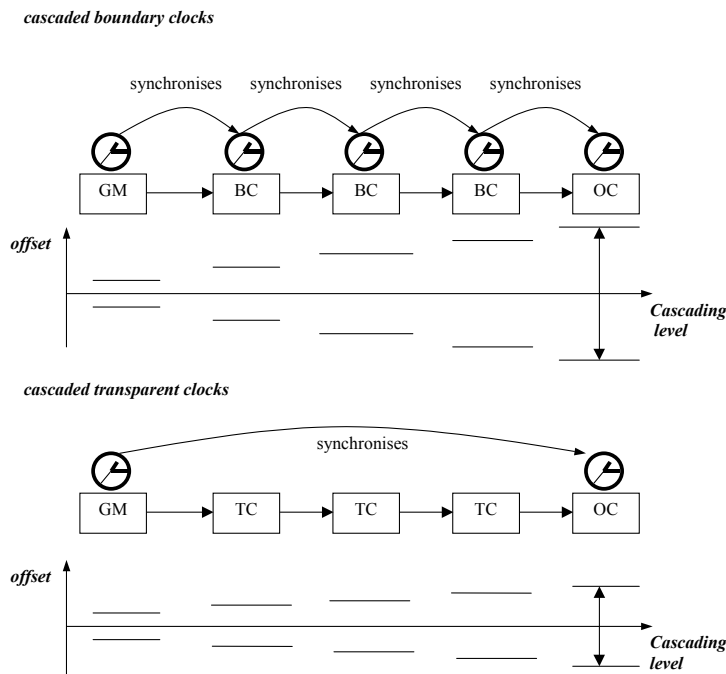


Figura D.4: Sistema PTP amb *switches* implementats amb rellotges de frontera i transparents. Font: *Pre-Standard Prototype Implementation of an End-to-End Transparent Clock* [18, p. 6]

Cal tenir en compte que en topologies de cascada profunda, els rellotges de frontera provoquen errors de no linealitat en els llaços de control a causa de, l'intercanvi de missatges PTP en parelles de nodes successius i la generació de soroll en els sistemes de control dels diferents nodes.

A la figura D.5, s'indica l'augment del retard no lineal en el rellotge esclau en funció del nombre de rellotges de frontera, front el retard lineal que s'hauria de produir.

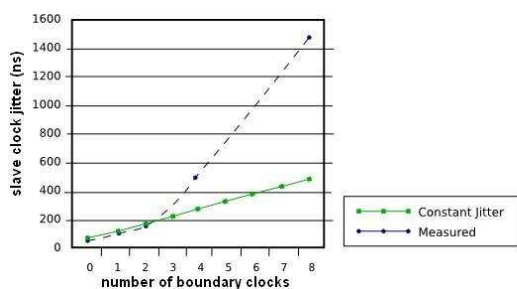


Figura D.5: Retard induït degut a grans topologies en cascada de rellotges de frontera. Font: *White Paper Introduction to IEEE 1588 and Transparent Clocks* [17, p. 5]

A causa de la problemàtica anterior sorgeix el concepte de rellotge de frontera optimitzat i

rellotge transparent tal com s'explica l'estàndard IEEE 1588 (4.3.4 i 4.3.4).

Així, existeixen 3 possibilitats en termes d'element de *switch*: *switch* clàssic, rellotge de frontera i rellotge transparent.

Considerant que el protocol PTP funciona sobre els protocols UDP/IP (descriu al capítol D.5) a les figures D.6, D.7 i D.8 s'observa el funcionament dels 3 casos anteriors des del punt de vista de les comunicacions. En el capítol B.2 s'explica en detall les computacions del temps en tots els casos anteriors.

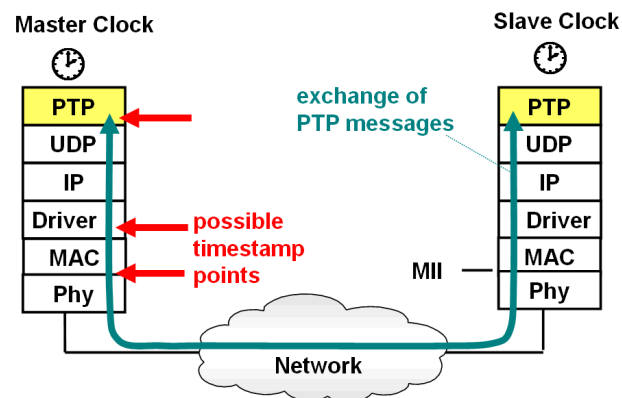


Figura D.6: Model de sincronització amb *switch* clàssic. Font: *Smart High Voltage Substation Based on IEC 61850 Process Bus and IEEE 1588 Time Synchronization* [19, p. 3]

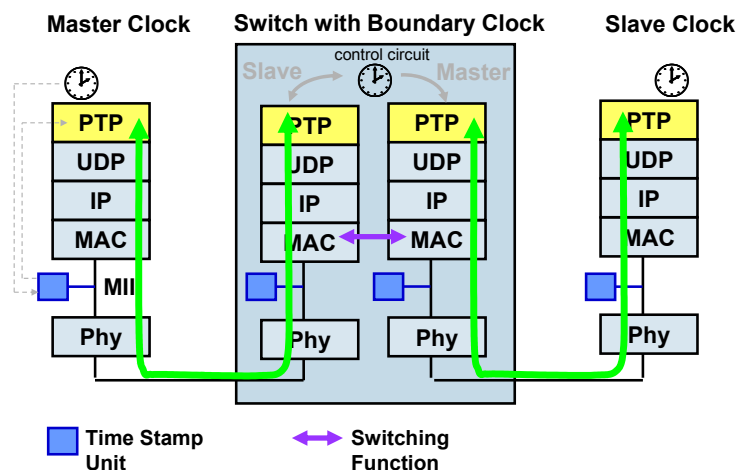


Figura D.7: Model de sincronització amb *switch* implementat amb rellotge de frontera. Font: *Smart High Voltage Substation Based on IEC 61850 Process Bus and IEEE 1588 Time Synchronization* [19, p. 4]

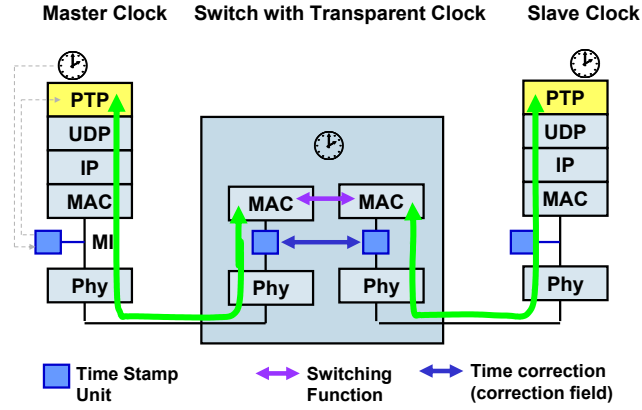


Figura D.8: Model de sincronització amb *switch* implementat amb rellotge transparent.  
 Font: *Pre-Standard Prototype Implementation of an End-to-End Transparent Clock* [18, p. 7]

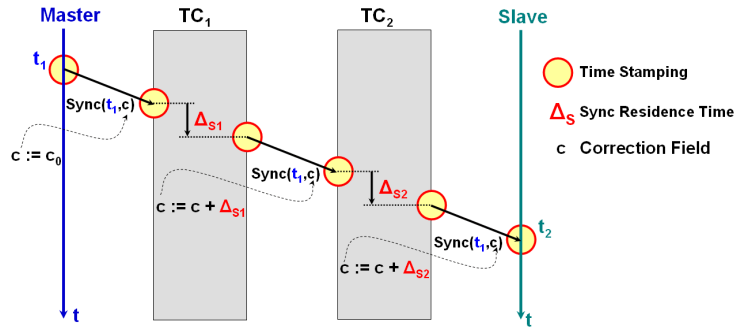


Figura D.9: Model de sincronització amb *switch* implementat amb rellotge transparent E2E.  
 Font: *Smart High Voltage Substation Based on IEC 61850 Process Bus and IEEE 1588 Time Synchronization* [19, p. 5]

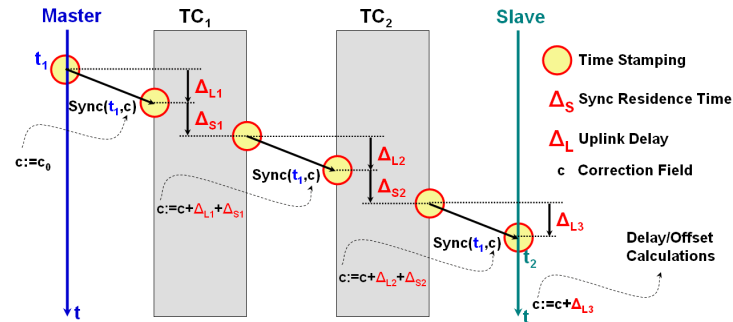


Figura D.10: Model de sincronització amb *switch* implementat amb rellotge transparent P2P.  
 Font: *Smart High Voltage Substation Based on IEC 61850 Process Bus and IEEE 1588 Time Synchronization* [19, p. 5]

Cal tenir en compte que existeixen 2 tipus de rellotges transparents, els de fi a fi (E2E 4.3.4) i els d'igual a igual (P2P 4.3.4). Recordar que els E2E només mesuren el temps de residència dels missatges PTP, mentre que els P2P també inclouen els retards de propagació. A les figures D.9 i D.10 es poden veure els detalls per cada tipus de rellotge transparent.

### D.3.3 Routers

Els *routers* són dispositius de xarxa que actuen a la capa 3 de la piràmide OSI. Els conceptes aplicats en el capítol *switches* (D.3.2), es poden aplicar en aquests dispositius a diferència que els paquets són tractats fins a la capa 3 de la piràmide OSI.

## D.4 Topologia de xarxes

La topologia de xarxa ve definida per la geometria que descriu la interconnexió dels diversos dispositius explicats al capítol D.3 dins d'una xarxa.

A continuació es mostrarà a mode d'exemple, dues topologies de xarxa diferents aplicades a sistemes PTP.

La topologia de la figura D.11, està formada per 2 *switches* implementats amb rellotge de frontera i un *hub*. Cal recordar que el rellotge de frontera és vàlid per topologies de xarxa senzilla amb cascades no profundes.

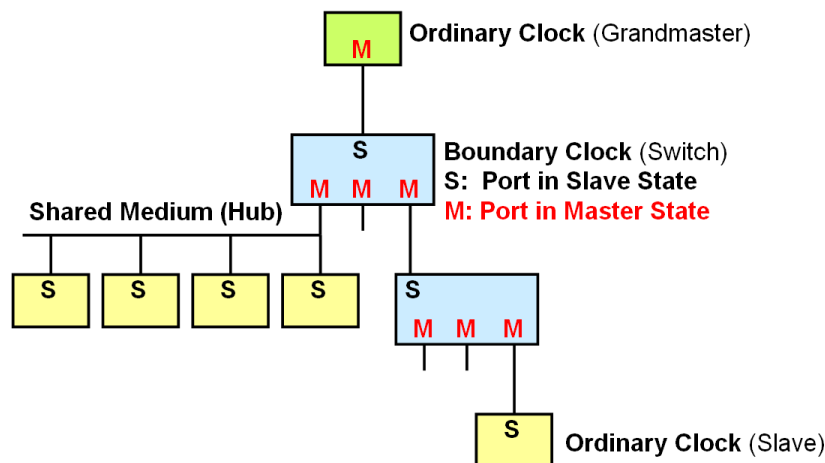


Figura D.11: Topologia de xarxa mitjançant rellotges de frontera. Font: *Smart High Voltage Substation Based on IEC 61850 Process Bus and IEEE 1588 Time Synchronization* [19, p. 5]

La topologia de les figures D.9 i D.10 és la mateixa, a diferència que en la primera s'utilitzen rellotges transparents E2E (4.3.4) i en la segona P2P (4.3.4). És important observar que en topologies amb molts d'esclaus és més adequat el sistema P2P per evitar la saturació del mestre en la peticions i respostes del retard (4.3.5).

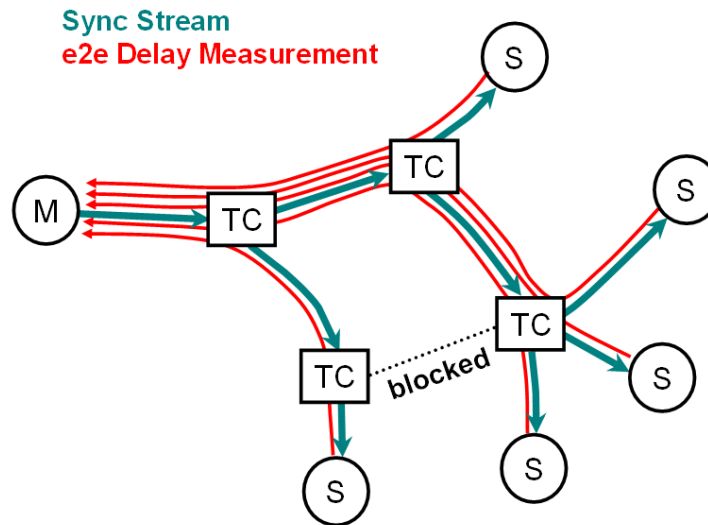


Figura D.12: Topologia de xarxa amb *switches* implementats amb rellotges transparents E2E. Font: *Smart High Voltage Substation Based on IEC 61850 Process Bus and IEEE 1588 Time Synchronization* [19, p. 5]

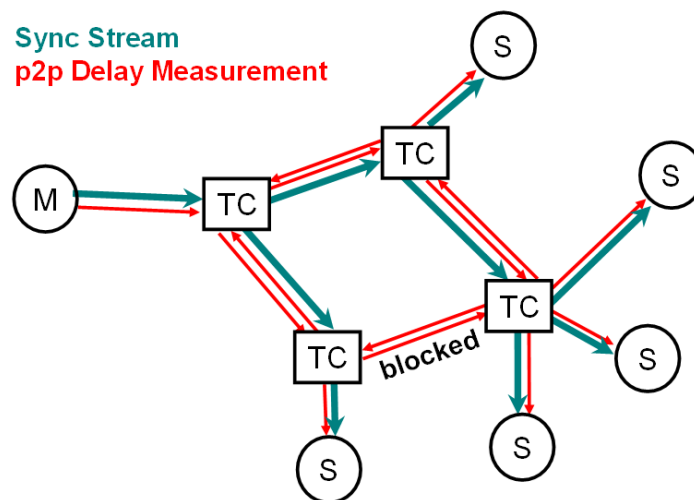


Figura D.13: Topologia de xarxa amb *switches* implementats amb rellotges transparents P2P. Font: *Smart High Voltage Substation Based on IEC 61850 Process Bus and IEEE 1588 Time Synchronization* [19, p. 5]

## D.5 Descripció dels protocols de comunicació compatibles amb PTP

### D.5.1 Introducció

En aquest capítol es descriurà el funcionament general dels protocols de comunicació utilitzats per sobre del PTP per establir les comunicacions entre dispositius PTP. Aquest protocols pel cas del PTP v2 poden ser:

- IEEE 802.3
- UDP/IPv4
- UDP/IPv6
- DeviceNet<sup>TM</sup>1
- ControlNet<sup>TM</sup>2
- PROFINET<sup>TM</sup>3

A continuació es descriuran els dos primers protocols ja que són els que s'utilitzaran en el present projecte.

### D.5.2 IEEE 802.3

#### Descripció general del IEEE 802.3

L'estàndard IEEE 802.3 es va publicar al 1985, permeten velocitats de 10 Mb/s, a partir del qual, s'han anat introduint noves funcionalitat i millores donant lloc a multitud de versions del estàndard. El protocol del Control d'Accés al Medi especificat al estàndard IEEE 802.3 és el *Carrier Sense Multiple Access with Collision Detection* (CSMA/CD). La versió del estàndard utilitzada en el present projecte i per tant, la que es descriurà, és la IEEE 802.3u la qual permet velocitats de fins a 100 Mb/s. Cal tenir en compte que el IEEE 802.3 defineix la capa d'enllaç de dades i la capa física de la tecnologia *Ethernet*.

El 100BASE-T forma part del estàndard IEEE 802.3 CSMA/CD MAC equipat amb una capa física de 100 Mb/s. A la figura D.14 s'indica la relació entre el model de referència de capes OSI (D.2) i l'arquitectura del 100BASE-T. Així doncs, 100BASE-T utilitza la IEEE 802.3 MAC (capa 2 d'enllaç de dades) de les versions anteriors connectat a través d'un interfície de capes (MII), a la capa física pròpia del 100BASE-T suportant velocitats de fins 100 Mb/s.

L'estàndard defineix dos modes d'operació: *half-duplex* i *full-duplex*. En el primer cas, només es pot enviar o rebre en el mateix temps mentre que el segon cas, es permet fer-ho de forma simultània. El 100BASE-T és compatible amb els dos modes i en el present projecte s'utilitzarà el segon.

La comunicació que utilitza el protocol CSMA/CD per accedir al medi esdevé un sistema no determinista, és a dir, no es pot saber el temps exacte que tardarà en enviar-se un missatge a priori. Aquest fet serà crític en les comunicacions amb missatges PTP on el temps és vital. Tot i així, és important tenir en compte que les col·lisions es produiran quan dos elements de la xarxa intentin enviar al mateix moment. Aquesta situació es pot evitar portant a terme

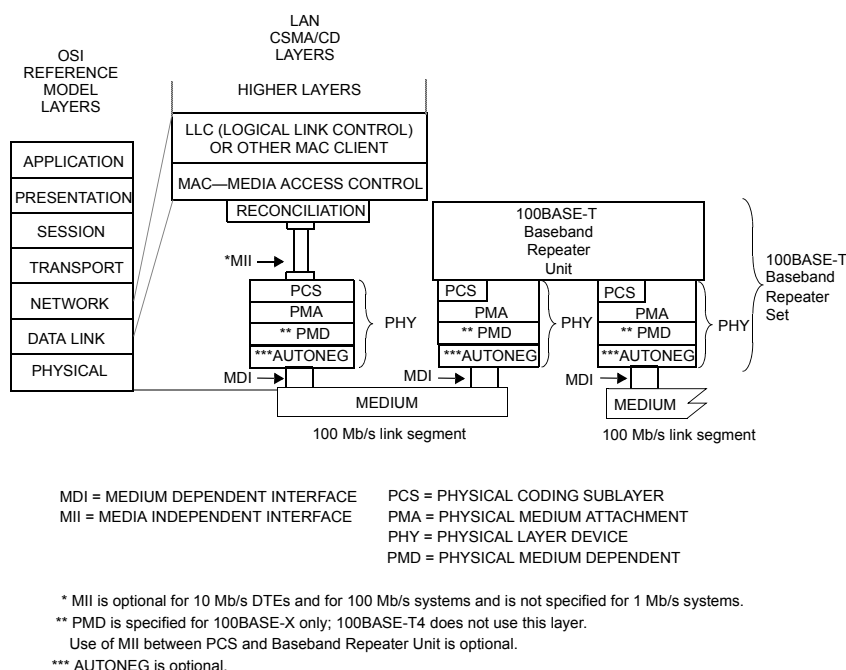


Figura D.14: Relació de l'arquitectura del 100BASE-T i amb el model de referències de capes OSI. Font: *IEEE Std 802.3-2012* [20, p. 39]



Figura D.15: Exemple de col·lisió en un sistema amb CSMA/CD

una correcta programació i estructuració de la xarxa de comunicacions. A la figura D.15 es pot veure un exemple de col·lisió entre el PC2 i PC5.

Per acabar amb la descripció del estàndard IEEE 802.3 es farà un anàlisi del contingut d'un missatge. Així, un missatge *Ethernet* està compost per un preàmbul, un delimitador d'inici (SFD), l'adreça MAC de destí (DA) i d'origen (SA), la longitud o el tipus de missatge, les dades i, una seqüència de prova del missatge (FCS) (veure figura D.16).

Preamble	SFD	Destination Address	Source Address	Length/Type	Data	FCS
7 Bytes	1 Byte	6 Bytes	6 Bytes	2 Bytes	46 -1500 Bytes	4 Bytes

Figura D.16: Format d'un missatge *Ethernet*. Font: *Datasheet Concerto* [4, p. 1539]

### Format dels missatges 100BASE-T

- Preàmbul: S'utilitza per sincronitzar-se amb el temps del *frame* de recepció.
- Delimitador d'inici (SFD): Indica el començament del *frame*.



- Adreça MAC de destí (DA): L'adreça MAC de destí pot ser una adreça individual o una adreça de grup (de tipus *Multicast-Group Address* o *Broadcast*) si el missatge s'envia a tots els dispositius de la xarxa. En el cas del PTP, sobre IEEE 802.3 directament, l'adreça de destí utilitzada pels missatges *sync* i *follow-up* serà l'adreça *multicast* 01-1B-19-00-00-00. Per altre costat, l'adreça de destí pels missatges *delay-req* serà l'adreça del mestre del sistema i dels missatges *delay-resp* serà l'adreça del esclau que fa la petició del retard.
- Adreça MAC d'origen (SA): És l'adreça del dispositiu que envia el missatge.
- Longitud o tipus de missatge: El valor d'aquest camp definirà si s'indica la longitud o el tipus del missatge. Si el valor és inferior a 1500, indicarà la longitud mentre que si es superior, el tipus de missatge. En el cas del PTP sobre IEEE 802.3 directament, aquest camp haurà de ser 88F7 en hexadecimal indicant que el missatge és de tipus PTP. En el cas de les comunicacions PTP sobre IPv4/UDP aquest valor serà de 8000 hexadecimal.
- Dades: Les dades hauran de tenir una longitud compresa entre 46 i 1500 bytes. Si el missatge és inferior a 46 bytes el protocol s'encarregarà d'afegir zeros al missatge.
- Seqüència de prova del missatge (FCS): Aquest camp porta el *Cyclic Redundancy Check (CRC)*.

### Arquitectura del cables 100Base-TX

La tecnologia 100Base-TX, també anomenada *Fast Ethernet* utilitza cables de categoria 5 amb dos parells de fils on cada segment de la xarxa pot tenir un màxim de 100 m. Les dades es codifiquen per generar unes sèries de zeros i uns a una freqüència de 124 MHz. L'estàndard que descriu el cable és el EIA/TIA 568B.

### Relació entre el IEEE 802.3 i el IEEE 1588

A la figura D.17 s'observa la comunicació entre dos dispositius PTP utilitzant directament el IEEE 802.3. La interacció entre el PTP i el IEEE 802.3 de forma directe també s'anomena *Raw Ethernet*.

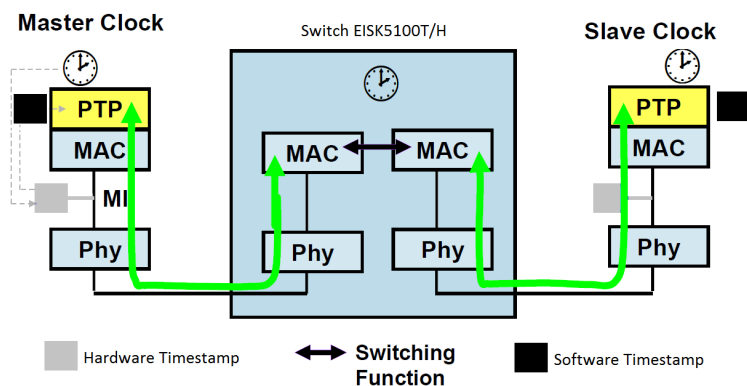


Figura D.17: Relació entre els protocols IEEE 1588 i IEEE 802.3

### D.5.3 UDP/IPv4

El protocol UDP (*User Datagram Protocol*) i IP (*Internet Protocol*) són els protocols utilitzats pel PTP quan es volen establir connexions entre xarxes. A continuació es farà una breu descripció dels dos protocols per entendre la relació d'aquests amb el PTP.

#### *User Datagram Protocol (UDP)*

El protocol UDP es troba a la capa 4 de transport segons el model general de capes OSI (D.2) i la seva funció és aportar un procediment per l'enviament de missatges entre programes amb el mínim de protocol possible. En aquest protocol no s'estableix connexió prèvia a l'enviament del missatge ni es produeix confirmació de recepció. L'avantatge principal, degut a la seva senzillesa, és l'absència de retards en la transmissió de missatges en contraposició de ser un transport no fiable. Aquest tipus de protocol s'utilitza per aplicacions en temps real on es necessita un protocol lleuger que no provoqui retards. A la figura D.18 s'indica el contingut de la capçalera del protocol UDP.

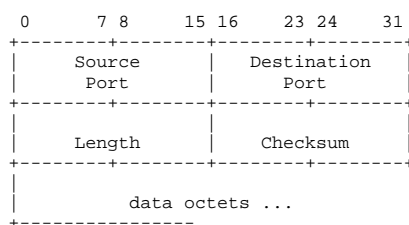


Figura D.18: Contingut de la capçalera UDP. Font: *RFC 768 User Datagram Protocol (UDP)* [21, p. 1]

- Port d'origen: És el port per on s'envia el missatge, en el cas del PTP aquest port serà el 319 per missatges tipus esdeveniment i 320 per missatges generals.
- Port de destí: És el port on es rep el missatge, en el cas del PTP aquest port serà 319 per missatges tipus esdeveniment i 320 per missatges generals.
- Longitud: És la longitud de les dades més la capçalera UDP.
- *Checksum*: En el cas del PTP aquest camp serà zero.

#### *Internet Protocol (IPv4)*

El protocol d'Internet (IP) s'utilitza per interconnectar sistemes en diferents xarxes i forma part de la capa 3 d'Internet segons el model general de capes OSI (D.2). Aquest protocol implementa dues funcions: adreçat i fragmentació. L'adreçat serveix per transmetre els missatges d'Internet a les adreces de destí corresponents, seleccionant la ruta de transmissió, és a dir, encaminant el missatge. Per altre banda, la funció de fragmentació permet enviar un missatge en petits paquets per diverses rutes. En el context del PTP, el IP s'utilitza conjuntament amb el protocol UDP per establir connexions entre dispositius localitzats en xarxes diferents.

El contingut de la capçalera IP es pot veure a la figura D.19.

- Versió: Indica la versió del IP, en aquest cas serà la versió 4.

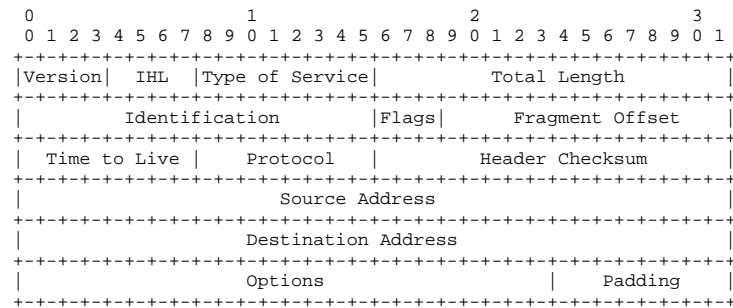


Figura D.19: Contingut de la capçalera IP. Font: *RFC 791 Internet Protocol (IP)* [22, p. 17]

- IHL: És la longitud de la capçalera IP.
- Tipus de servei: Indica el tipus de qualitat de servei desitjada.
- Longitud total: És la longitud total del missatge incloent la capçalera i les dades.
- Identificador: Identifica cada fragment de missatge per poder-lo fragmentar i desfragmentar.
- *Flags*: Són *flags* de control que indiquen temes relacionats amb la fragmentació.
- Temps de vida: Indica el temps màxim que el missatge estarà en la xarxa d'Internet.
- Protocol: Indica el protocol que porta per sobre. En el cas del UDP aquest valor serà de 11 hexadecimal.
- Checksum: És un camp de control d'errors.
- Adreça d'origen: Serà l'adreça IP del dispositiu que envia el missatge.
- Adreça de destí: Serà l'adreça de destí del missatge. En el cas del PTP, els missatges *sync* i *follow-up* utilitzaran l'adreça *multicast* 224.0.1.129. Per altre banda, l'adreça de destí pels missatges *delay-req*, serà l'adreça del mestre, i dels missatges *delay-resp* serà l'adreça del esclau que fa la petició del retard.
- Opcions: No es descriuran.
- Farcit: Serveix per comprovar que la capçalera del IP acaba als 32 bits. El valor del farcit serà zero.

En penúltim lloc, destacar la necessitat d'utilitzar el *Internet Group Management Protocol* (IGMP) per crear un grup *multicast*, al qual hauran d'estar associats tots els equips que utilitzin el protocol PTP. La capçalera d'aquest tipus de protocol es pot veure a la figura D.20.

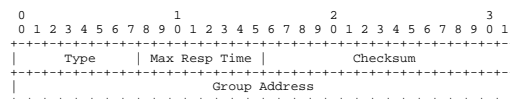


Figura D.20: Camps que descriuen la capçalera del IGMP. Font: *RFC 2236 Internet Group Management Protocol (IGMP)* [23, p. 2]

### Interacció entre el PTP i el UDP/IPv4

Finalment, a la figura D.21 es pot veure la relació entre el protocol PTP, UDP, IP i *Ethernet*. S'observa que cada un dels protocols es troben a un nivell de la piràmide OSI i cada capa dur a terme una funció determinada.

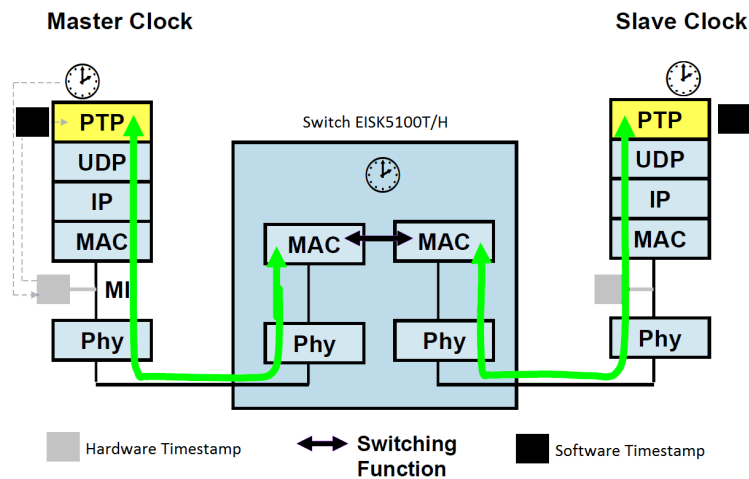


Figura D.21: Relació entre els protocols IEEE 1588, IP, UDP i IEEE 802.3

## Annex E

# Descripció del *software* del Concerto

### E.1 Introducció

En aquest annex es farà una breu descripció de tot el programari necessari pel funcionament del microprocessador *Concerto* F28M36x de *Texas Instruments*. A continuació es descriurà cadascun dels blocs que conformen tot el *software* del *Concerto* gràcies a la guia proporcionada per *Texas Instruments* [24]. A la figura E.1 es pot veure tot el programari que es descriurà (indicat en vermell) en aquest annex en relació amb el programari desenvolupat en el projecte.

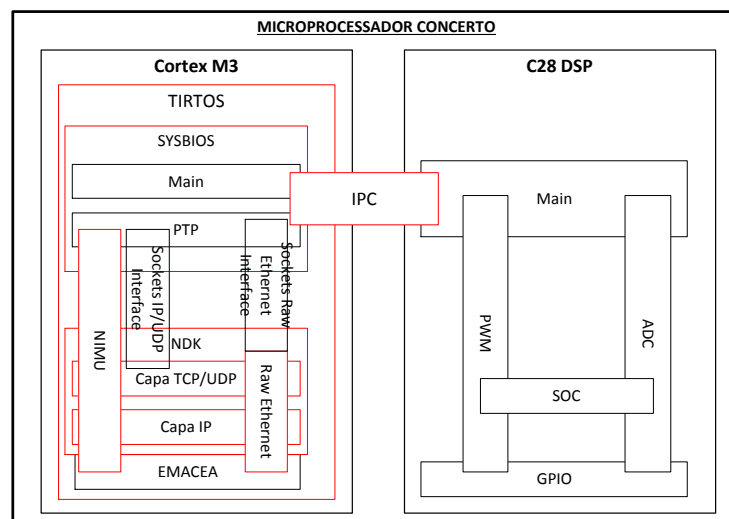


Figura E.1: Estructura del programari del *Concerto* proporcionat per TI (vermell) en relació amb el programari desenvolupat en el projecte

En aquest annex només es descriurà en detall la pila TCP/IP lwIP (utilitzada en la implementació IEEE 1588 PTPd de l'annex C), i el sistema operatiu en temps real (RTOS) de *Texas Instruments* del nucli Cortex M3.

A la figura E.2 es pot veure l'estructura general del directori principal que inclou tot el programari aportat per *Texas Instruments*.

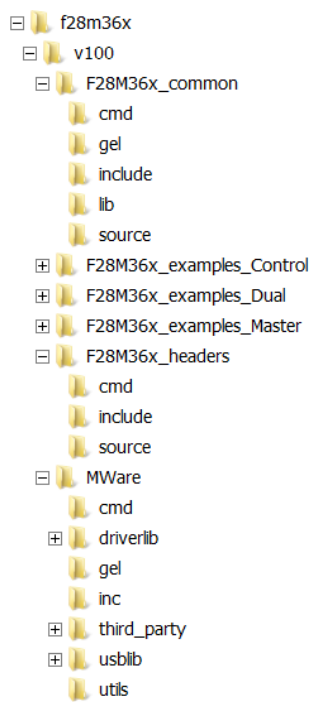


Figura E.2: Estructura de tot el programari del *Concerto* proporcionat per TI. Font: Guia *software Concerto* [24, p. 4]

El directori principal conté la següents dades:

- <base>: És el directori arrel de la instal·lació.
- <base>/doc: Conté la documentació i les revisions històriques.
- <base>/F28M36x-headers: Inclou els fitxers de capçalera dels perifèrics.
- <base>/F28M36x-examples-Control: Inclou projectes d'exemple de *Code Composer v5* per a la programació del nucli C28 del *Concerto*.
- <base>/F28M36x-examples-Dual: Inclou projectes d'exemple de *Code Composer v5* per a la programació simultània dels dos nuclis del *Concerto*.
- <base>/F28M36x-examples-Master: Inclou projectes d'exemple de *Code Composer v5* per a la programació del nucli M3 del *Concerto*.
- <base>F28M36x-common: Inclou totes les funcions relacionades amb les capçaleres incloses al directori F28M36x-headers.
- <base>MWare: Conté tot el *software* per a la programació del nucli M3.

Les dades del subdirectori principal es poden veure a continuació:

- F28M36x-headers/cmd: Conté els fitxers d'enllaç.

- F28M36x-headers/source: Fitxer font per incorporar els fitxers de capçaleres en un nou projecte.
- F28M36x-headers/include: Fitxers de capçalera per poder utilitzar els perifèrics del dispositiu.
- F28M36x-common/cmd: Exemples de fitxers d'enllaç per definir la memòria del dispositiu.
- F28M36x-common/include: Fitxers *Common* .h utilitzats per programar els perifèrics.
- F28M36x-common/source: Fitxers *Common* .c utilitzats per programar els perifèrics.
- F28M36x-common/lib: Llibreria *Common* utilitzada per programar els perifèrics.
- F28M36x-common/gel: Fitxer GEL del *Code Composer Studio v4*.
- MWare/cmd: Exemples de fitxers d'enllaç per definir memòria del dispositiu.
- MWare/driverlib: Fitxers *Common* .h i .c que contenen les funcions per controlar els perifèrics del nucli M3.
- MWare/gel: Fitxer GEL del *Code Composer Studio v4*.
- MWare/inc: Fitxers *Common* .h els quals defineixen els registres, posició de bits i màscares.
- MWare/third-party: Programari de tercers utilitzats en els perifèrics USB i EMAC.
- MWare/tools: Programari USB DLL utilitzat en el perifèric USB.
- MWare/usblib: Llibreria USB.
- MWare/utls: Fitxers *Common* .h i .c utilitzats en la programació dels perifèrics del nucli M3.
- MWare/window-drivers: Controladors per Windows utilitzats amb el perifèric USB.

## E.2 Pila TCP/IP lwIP

### E.2.1 Introducció

lwIP és una pila TCP/IP lleugera de codi obert, desenvolupada per Adam Dunkels al *Swedish Institute of Computer Science* (SICS). Tota la informació relacionada amb lwIP es pot trobar a la següent referència [25]. L'objectiu principal del lwIP és disposar d'una pila TCP/IP completa que utilitzi el mínim de recursos del sistema, podent arribar a necessitar només 10 kb de RAM lliure i 40 kb de ROM. Les característiques principals del codi es poden veure a continuació:

- *Internet Protocol* (IP) incloent enviament de paquets per múltiples interfícies.
- *Internet Control Message Protocol* (ICMP).
- *User Datagram Protocol* (UDP).
- *Transport Control Protocol* (TCP) incloent el control de congestió.

- *Dynamic Host Configuration Protocol* (DHCP).
- *Point-to-Point Protocol* (PPP)
- *Address Resolution Protocol* (ARP) per *Ethernet*.
- IP automàtica per connexions locals.
- Compatible amb *Berkeley sockets*.
- Suporta múltiples interfícies i connexions de xarxa.

La pila lwIP s'utilitza en els microprocessadors de *Texas Instruments* de la família Cortex M3 els quals disposen d'interfície *Ethernet*. El lwIP té un competidor molt potent, el mòdul *Network Development Kit (NDK)* del sistema operatiu RTOS desenvolupat per *Texas Instruments*, el qual també implementa una pila TCP/IP (veure capítol E.3). Tot i així, el lwIP segueix sent líder l'optimització dels recursos del sistema.

## E.2.2 Implementació del lwIP

El lwIP està enfocat en la implementació dels protocols TCP/IP però també implementa altres utilitats com emulador de sistema operatiu, subsistema de gestió de memòria i *buffers*, funcions d'interfície de xarxa i funcions per processar el *checksum* d'Internet.

És important destacar que el lwIP està implementat fora d'un sistema operatiu, fent-lo portable entre diferents sistemes operatius, o fins i tot, a sistemes que no en disposin. Aquest fet és gràcies a una capa d'emulació de sistema operatiu que aporta serveis com: rellotges, sincronització de processos mitjançant semàfors i mecanismes de pas de missatges a través de bústies.

El sistema de gestió de memòria i *buffers*, en un sistema de comunicació, cal està preparat per disposar de *buffers* de dimensions variables. El lwIP utilitza reserves de memòria dinàmiques per duu a terme aquesta funció, utilitzant només la memòria que necessita.

## E.2.3 Interacció del lwIP i el PTPd

El lwIP, en el context d'aquest projecte, s'utilitza amb el PTPd (C) per a l'enviament i recepció de missatges PTP a través d'una xarxa local o d'Internet. A la figura E.3 es pot veure la interacció entre els mòduls del lwIP i el PTPd.

A la figura E.3, s'observen dos nivells d'enllaç amb les capes inferiors de comunicació segons una estructura OSI.

El nucli del protocol PTP, situat a la capa d'aplicació, estableix una comunicació amb els protocols que conformen les capes més altes. A més, s'estableix una comunicació amb la capa física del *Ethernet* per duu a terme les captures precises del temps en la recepció i enviament dels missatges PTP. Finalment, el mòdul de memòria de la pila lwIP interacciona amb tots els mòduls del PTPd com era d'esperar.



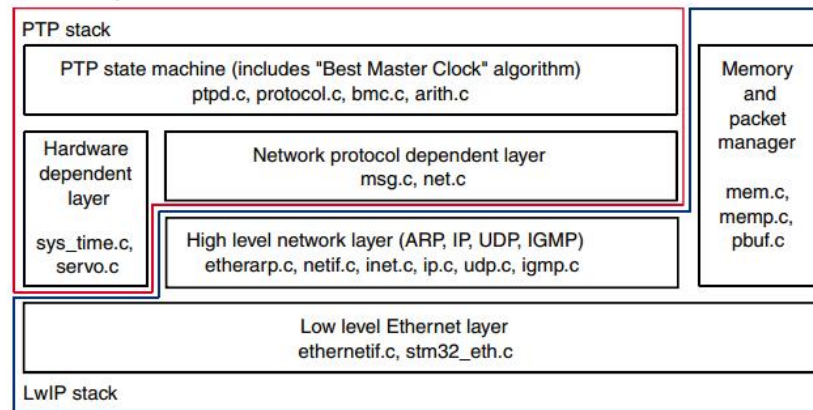


Figura E.3: Interacció entre els mòduls del lwIP i PTPd

## E.3 Sistema Operatiu en Temps Real (RTOS)

### E.3.1 Introducció

El RTOS és un conjunt de programari que permet desenvolupar aplicacions de forma senzilla aportant un *kernel*, suport a les comunicacions, controladors, entre altres. A més, és totalment compatible amb l'entorn del *Code Composer Studio* i ofereix una gran varietat d'exemples per aprendre el seu ús. Tota la informació que es descriurà a continuació es pot trobar a la referència [26].

### E.3.2 Mòduls del RTOS

El mòdul RTOS inclou tots els fitxers font, llibreries pre-compilades i exemples. A més s'inclouen una sèrie de productes addicionals els quals es descriuran a continuació:

- *SYS/BIOS*: És un *kernel* de temps real escalable. Està dissenyat per aquelles aplicacions que necessiten escenaris, sincronitzacions o instrumentació en temps real. A més el *sys-bios* està dissenyat per minimitzar l'ús de memòria i els requeriments del sistema.
- *IPC*: El *Inter-processor Communication* és un mòdul destinat a la comunicació en un entorn multi-nucli o la comunicació entre microprocessador i perifèrics.
- *MWare*: Conté totes les llibreries de baix nivell del nucli Cortex M3 pel seu funcionament.
- *NDK*: El *Network Developer's Kit* és una plataforma pel desenvolupament d'aplicacions de xarxa en microprocessadors enfocats a les comunicacions.
- *UIA*: La *Unified Instrumentation Architecture* és un producte que permet instrumentar aplicacions.
- *XDCtools*: És un component que permet configurar i compilar els mòduls *sys-bios*, *NDK* i *UIA*.

El RTOS també incorpora els següents controladors per poder utilitzar els diversos perifèrics del microprocessador:

- EMAC: És el controlador del *Ethernet* utilitzat pel mòdul de xarxa NDK.
- $I^2C$  (*Inter-Integrated Circuit*): Controlador del bus  $I^2C$ .
- GPIO (*General Purpose Input Output*): Controlador per gestionar totes les entrades i sortides d'ús general del microprocessador.
- SPI (*Serial Peripheral Interface*): Controlador del protocol de comunicacions SPI.
- SDSPI: Controlador per targetes SD que utilitzin el bus SPI.
- UART (*Universal Asynchronous Receiver-Transmitter*): Controlador per gestionar la consola UART.
- USBMSCHFatFs: Controlador USB (*Universal Serial Bus*) per sistemes que utilitzin el sistema de fitxers FatFS.
- Altres funcionalitats USB: En aquest controlador s'hi inclourien els dispositius d'interfície humana i els dispositius de comunicacions.

### E.3.3 *Network Developer's Kit* (NDK)

#### Introducció

El NDK és un plataforma de desenvolupament d'aplicacions de xarxa per tots aquells microprocessadors de *Texas Instruments* encaminats a comunicacions [27]. El NDK treballa sobre el sistema operatiu *sys-bios* i inclou les següents funcionalitats:

- Pila TCP/IP amb: mode dual IPv6/IPv4, VLAN, TCP, UDP, ICMP, IGMP, IP i ARP.
- Aplicacions de xarxa: *sockets* BSD, incloent suport per *Raw Ethernet*.
- Controladors de dispositius: Inclou els controladors de tots els perifèrics EMAC.

#### Implementació del NDK

Cal tenir en compte que la implementació del NDK és totalment portable ja que està aïllada del sistema operatiu i del *hardware* de baix nivell. Aquest aïllament es dur a terme mitjançant una capa d'adaptació al sistema operatiu (OS) i una capa d'adaptació al *hardware* (HAL). Les dues llibreries anteriors s'utilitzen d'interfície entre el NDK, el *sys-bios*, i els perifèrics del sistema.

Cal destacar que el NDK disposa d'una arquitectura que suporta múltiples dispositius mitjançant el *Network Interface Management Unit* (NIMU) a diferència d'arquitectures LL les quals només poden gestionar un dispositiu de xarxa. Cal tenir en compte que el NIMU aporta funcionalitats VLAN, *Raw Ethernet* i IPv6.

A la figura E.4 es pot veure un diagrama de com està composta el mòdul NDK des del punt de vista de crida de funcions. Es poden veure les 5 llibreries principals que componen el NDK: *STACK*, *NETTOOL*, *OS* i *MiniPrintf*, *HAL* i *NETCTRL* les quals es descriuran posteriorment. Cal dir que el NIMU afecta a les llibreries *STACK*, *NETCTRL* i *NETTOOL*.

A continuació es farà una breu descripció de cada una de les llibreries que compona el NDK:

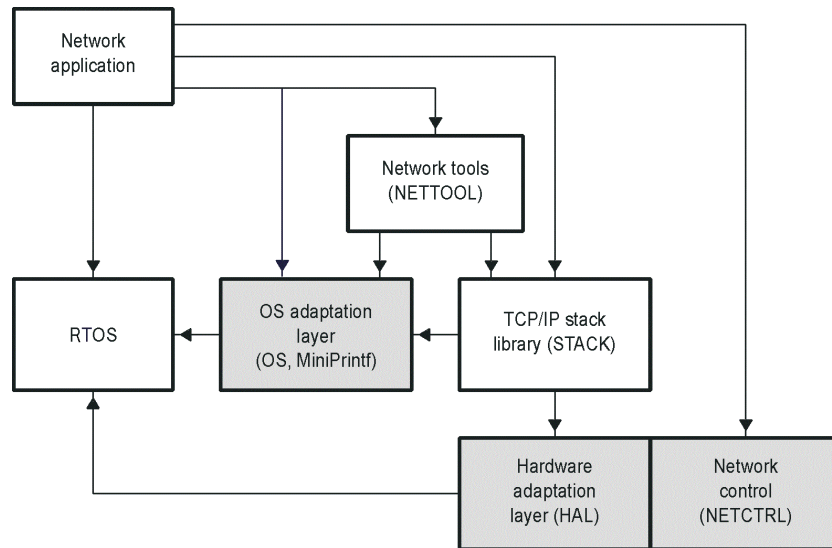


Figura E.4: Diagrama de flux de les crides de les funcions del NDK. Font: *TI Network Developer's Kit (NDK) User's Guide* [27, p. 11]

- **STACK:** És la llibreria que implementa la pila principal TCP/IP. Conté des de la capa de *sockets*, situada a la part més alta, fins al *Ethernet* situat a la capa més baixa. Aquesta llibreria no cal modificar-la quan es canvia de plataforma. Cal dir que existeixen diverses variants d'aquesta llibreria segons les funcionalitats que incorpora.
- **NETTOOL:** Conté totes les funcions relacionades amb serveis de xarxa gestionats amb *sockets*, així com altres eines de disseny de desenvolupament d'aplicacions de xarxa. Una part molt important de la llibreria són les configuracions del sistema NDK, les quals es poden guardar en RAM o programar-se perquè s'auto-carreguin a l'inici.
- **OS i MiniPrintf:** Aquesta llibreria adapta el NDK sobre el sistema operatiu que estigui corrent. Això permet transportar el NDK a qualsevol OS basat en *sys-bios*. Això inclou: gestió de tasques, reserves de memòria, gestió de paquets de memòria, impressions, *log*, gestió d'interrupcions... Finalment el *MiniPrintf* aporta funcions d'impressió amb un ús de recursos molt baix.
- **HAL:** Conté tots els fitxers necessaris per comunicar el NDK amb els perifèrics *hardware*. Això inclou: rellotges, Leds, controladors de *Ethernet* i ports sèrie.
- **NETCTRL:** Es pot considerar el nucli del NDK ja que controla la interacció entre el TCP/IP i el món exterior. Aquesta llibreria inclou les següents funcionalitats:
  - Inicialitzar el NDK i els controladors de baix nivell.
  - Iniciar el sistema i mantenir la configuració actualitzada.
  - Interfície als controladors de baix nivell i al control de les crides del NDK per part d'aquests.
  - Aturada del sistema i neteja de les configuracions.



## Annex F

# Descripció del controlador i filtre del sistema

En aquest annex es descriurà el principi bàsic de funcionament del controlador aplicat al sistema de control dels rellotges, així com el filtre aplicat al retard de propagació (els dos descrits al capítol 5.2).

### F.1 Principi del sistema de control dels rellotges

#### F.1.1 Model del sistema de control

El sistema de control que s'aplicarà al sistema d'ajust entre rellotges està basat en una PLL (*Phase Lock Loop*). Una PLL és un sistema de control que genera a la seva sortida un senyal amb la mateixa fase que el senyal d'entrada. La fase pot ser proporcional al temps de forma que, una PLL es pot utilitzar per sincronitzar rellotges. Aquests rellotges, encara que tinguin fonts d'oscil·ladors diferents i amb una certa variabilitat, es podran ajustar a base d'un sistema de control *software* (PLL).

A la figura F.1 s'indica l'esquema general d'una PLL formada per una planta de primer ordre amb un integrador i un controlador proporcional integral.

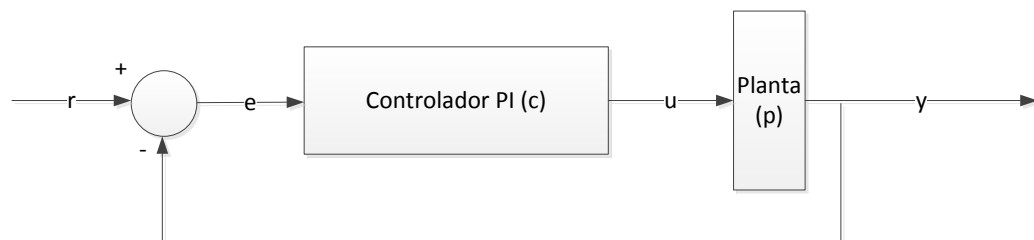


Figura F.1: Esquema general de control implementant una PLL (*Phase Lock Loop*)

Cal recordar que la funció de transferència d'una planta de primer ordre amb un integrador i el controlador PI són F.1 i F.2, respectivament.

$$\frac{1}{s} \quad (\text{F.1})$$

$$\frac{K_p s + K_i}{s} \quad (\text{F.2})$$

Les equacions F.3, F.4 i F.5 es dedueixen a partir de la figura F.1 permeten arribar a la funció de transferència del sistema en llaç tancat.

$$E(s) = C(s) - T(s) \quad (\text{F.3})$$

$$T(s) = G(s) \cdot P(s) \quad (\text{F.4})$$

$$G(s) = E(s) \cdot C(s) \quad (\text{F.5})$$

A partir de les tres equacions anteriors, aïllant el quocient entre la sortida i l'entrada es pot trobar la funció de transferència del sistema F.6.

$$\frac{I(s)}{R(s)} = \left( \frac{P(s) \cdot C(s)}{1 + P(s) \cdot C(s)} \right) \quad (\text{F.6})$$

Substituint la funció de transferència de la planta (F.1) i del controlador (F.2) a l'expressió F.6, s'obté l'equació F.7.

$$\frac{K_p s + K_i}{s^2 + K_p s + K_i} \quad (\text{F.7})$$

L'expressió F.7 es pot expressar com una funció de transferència genèrica, tal com s'indica a l'expressió F.8.

$$\frac{2\xi\omega_n s + \omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2} \quad (\text{F.8})$$

Fruit de la comparativa entre les expressions F.7 i F.8, es descobreix que amb la constant proporcional es podrà variar el factor d'esmortiment mentre que amb la constant integral, la freqüència de tall del controlador (tal com es pot comprovar a les equacions F.9 i F.10).

$$K_p = 2\xi\omega_n \quad (\text{F.9})$$

$$K_i = \omega_n^2 \quad (\text{F.10})$$

És important destacar que els dos paràmetres anteriors seran els qui definiran el comportament dinàmic de la sortida del controlador i, per tant, les prestacions del mateix.

Val dir que tota la descripció anterior és vàlida per un sistema de control en temps continu. El controlador s'implementarà en temps discret i per tant respondrà a l'equació F.11 deduida a partir de la funció de transferència del sistema F.6. Cal recordar que els increments de

temps del controlador (període de mostreig) seran de 20 ms i que els seus paràmetres es calcularan en el següent apartat.

$$u_k = u_{k-1} + \left(K_p + K_i \Delta \frac{T}{2}\right) \cdot e_k + \left(-K_p + K_i \Delta \frac{T}{2}\right) e_{k-1} \quad (\text{F.11})$$

### F.1.2 Sintonització del controlador

En aquest apartat es farà la sintonització del controlador a partir dels paràmetres deduïts anteriorment.

El mètode per l'obtenció dels valors del controlador serà l'aplicació de l'assignació de pols. A partir d'anul·lar el denominador de la funció de transferència del sistema enllaç tancat (F.8), s'obtingran els pols del sistema, tal com s'indica a l'expressió F.12.

$$s^2 + 2\xi\omega_n s + \omega_n^2 = 0 \quad (\text{F.12})$$

$$s = -\xi\omega_n \pm \omega_n \sqrt{\xi^2 - 1} \quad (\text{F.13})$$

La solució de l'expressió F.12 es pot veure expressada a l'equació F.13 on se'n dedueixen 3 tipus de solucions segons el factor d'esmortiment ( $\xi$ ). En aquest cas, interessa imposar al sistema un comportament sub-esmorteït, ja que serà el control amb un temps de resposta més ràpid. D'aquesta forma, les solucions de l'expressió F.13 hauran de ser dues solucions complexes i conjugades on el factor d'esmortiment ( $\xi$ ) del sistema sigui positiu. Aplicant el mètode d'assignació de pols, s'obté un sistema d'equacions en funció dels paràmetres del controlador i els pols del sistema:

$$\begin{cases} s^2 + 2\xi\omega_n s + \omega_n^2 = 0 \\ (s - p_1)(s - p_2) = 0 \end{cases} \quad (\text{F.14})$$

$$\begin{cases} p_1 \cdot p_2 = \omega_n^2 \\ -(p_1 + p_2) = 2 \cdot \xi \cdot \omega_n \end{cases} \quad (\text{F.15})$$

A partir d'aquí es situaran els dos pols del sistema a  $45^\circ$  per obtenir una resposta el més ràpida possible tal s'indica a la figura F.2 definint uns pols com els de l'expressió F.16.

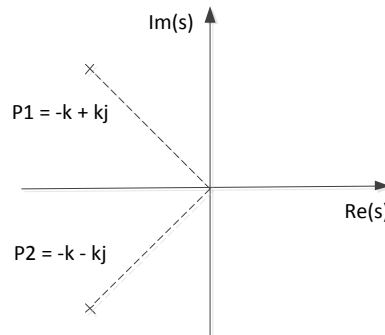


Figura F.2: Pols del sistema enllaç tancat per obtenir una resposta sub-esmorteïda

$$\begin{cases} p_1 = -k + kj \\ p_2 = -k - kj \end{cases} \quad (\text{F.16})$$

Amb la condició de  $45^\circ$  quedarà definit el factor d'esmortiment ( $\xi$ ) tal com s'indica a l'expressió F.17.

$$\xi = \frac{2 \cdot k}{2 \cdot \sqrt{2} \cdot k} = \frac{\sqrt{2}}{2} = 0,707 \quad (\text{F.17})$$

El factor  $k$  definirà quantes vegades serà més gran la constant de temps del sistema controlat respecte la constant de temps natural del sistema. Un valor habitual per aquest factor es troba al voltant de 10, de forma que s'establirà un valor de 9, obtenint una pulsació del controlador ( $\omega_n$ ) de:

$$\omega_n = \sqrt{2 \cdot k^2} = 12,728 \frac{\text{rad}}{\text{s}} \rightarrow f_c = 2 \text{ Hz} \quad (\text{F.18})$$

Finalment, amb el sistema d'equacions F.15 i les equacions F.9 i F.10 es poden relacionar les constants del controlador amb els pols del sistema obtenint el sistema F.19.

$$\begin{cases} K_p = -(p_1 + p_2) \\ K_i = p_1 \cdot p_2 \end{cases} \quad (\text{F.19})$$

Així, a partir del valor del factor d'esmoreïment i la pulsació obtingut anteriorment, es podran obtenir les constants,  $K_p$  i  $K_i$  del controlador, tal com s'observa a les fórmules F.20 i F.21.

$$K_p = 2\xi\omega_n = 2 \cdot 0,707 \cdot 12,5663706 = 17,7688480 \quad (\text{F.20})$$

$$K_i = (\omega_n)^2 = (12,5663706)^2 = 157,9136704 \quad (\text{F.21})$$

### F.1.3 Simulació del sistema de control

Les prestacions dinàmiques del sistema es simularan amb el programari Matlab, considerant que el sistema haurà de seguir un entrada tipus rampa i que el sistema enllaç tancat serà de segon ordre. L'objectiu de la simulació es descobrir el comportament del controlador PI per comprovar si els paràmetres obtinguts al capítol F.1.2 són correctes.

La simulació realitzada està composta per una sèrie de blocs per simular el comportament del controlador PI. És de vital importància conèixer quina part del sistema s'ha modelitzat i simulat, i de quina forma.

Així, els rellotges interns es modelitzaran amb un integrador multiplicat pel període del rellotge. En el cas del mestre, estarà format per una constant de valor 1 amb un integrador, de forma que a la seva sortida s'obtingui un comptador creixent que indicarà el temps transcorregut tal com s'indica a la figura F.3.

Cal destacar que no s'ha simulat el sistema de quantificació del error (5.2.2), degut a la seva complexitat, de forma que el senyal de rellotge del mestre s'ha incorporat directament a la consigna del controlador. Pel que fa l'esclau està format per una planta integradora i un PI que calcularà el període per obtenir dos comptadors sincronitzats. Finalment, el sistema



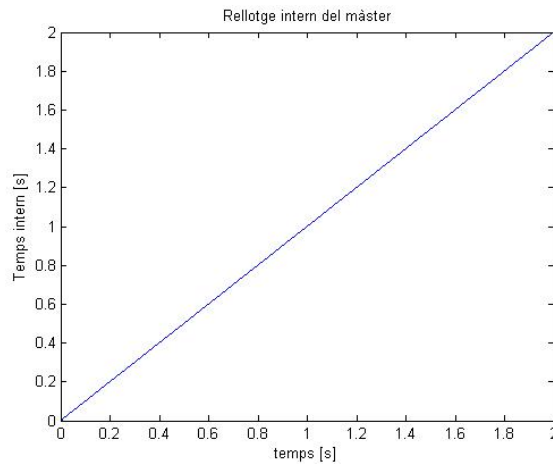


Figura F.3: Temps intern del mestre generat a partir del model en Matlab

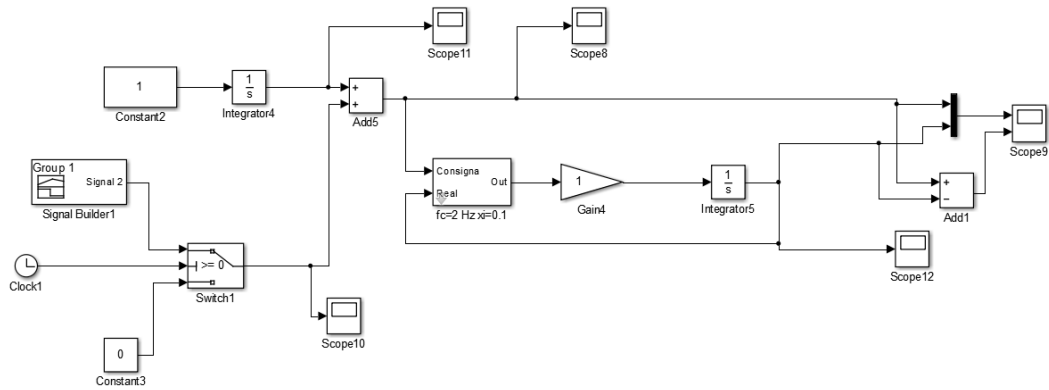


Figura F.4: Esquema general del sistema simulat

simulat comptarà amb un generador d'una pertorbació de 400 ns per veure la resposta dinàmica del sistema (veure figura F.4).

Així doncs, s'han realitzat tres simulacions amb tres paràmetres del controlador diferents tal com s'indica a la taula F.1. En aquest cas, es mantindrà constant el factor d'esmortiment mentre que es modificarà la freqüència de tall.

Cas	Factor d'esmoreïment ( $\xi$ )	Freqüència de tall ( $f_c$ )
1	0,707	2 Hz
2	0,707	0,5 Hz
3	0,707	0,1 Hz

Taula F.1: Resum dels casos provats a la simulació del controlador

Els resultats obtinguts en termes d'error, es poden veure a la figura F.5 on s'observa que el sistema més ràpid és el primer. En aquest cas, correspon amb el valor obtingut en la sintonització del controlador. A la figura F.5 s'observa un sobre-pic important el qual no serà crític pel tipus planta que es controla i un error en règim estacionari nul.

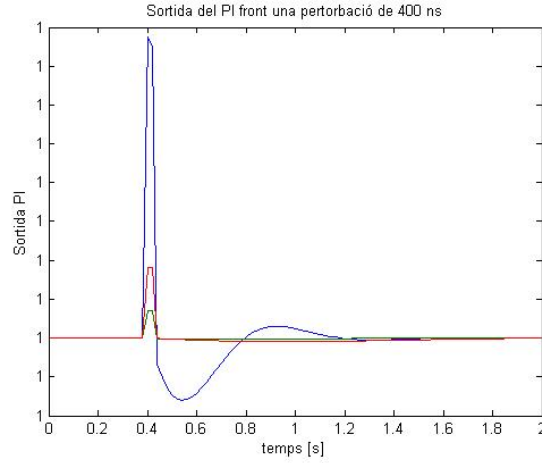


Figura F.5: Resposta del sistema simulat per unes freqüències de tall del controlador de 2 Hz (blau), 0,5 Hz (vermell) i 0,1 Hz (verd)

D'aquesta forma es conclou que els paràmetres del controlador calculats al capítol F.1.2 ofereixen la resposta dinàmica desitjada.

## F.2 Principi del sistema de filtrat del retard

### F.2.1 Definició del sistema de filtrat

El sistema de filtrat, aplicat al retard de propagació, correspondrà a un filtre de primer ordre, el qual s'assimila a un filtre RC per realitzar-ne el seu càlcul.

La tensió a la sortida d'un filtre RC en transformada de *Laplace* s'expressa amb la fórmula F.22.

$$V_{out} = \frac{\frac{1}{sC}}{\frac{1}{sC} + R} \cdot V_{in} = \frac{\frac{1}{sC}}{\frac{1+RCs}{sC}} \cdot V_{in} = \frac{1}{1+RCs} \cdot V_{in} \quad (F.22)$$

Si l'equació F.22 es transforma al domini temporal s'obté que la tensió de sortida és:

$$V_{in} = (1 + RC \frac{d}{dt}) \cdot V_{out} \rightarrow V_{out} = V_{in} - RC \frac{dV_{out}}{dt} \quad (F.23)$$

A partir d'aquí es transformarà la derivada com un increment de temps per obtenir l'expressió F.24.

$$V_{outk} = V_{ink} - RC \cdot \left( \frac{V_{outk} - V_{outk-1}}{\Delta t} \right) \quad (F.24)$$

En aquest punt es duran a terme una sèrie de conversions de l'equació F.24 per obtenir l'expressió F.27. En aquesta expressió es podrà veure la sortida del filtre en funció de del període de mostreig, l'entrada, la sortida anterior i la constant de temps del filtre RC.

$$V_{outk} \cdot \frac{\Delta t}{RC} = \frac{\Delta t}{RC} V_{ink} - V_{outk} - V_{outk-1} \quad (\text{F.25})$$

$$V_{outk} \cdot \left(1 + \frac{\Delta t}{RC}\right) = \frac{\Delta t}{RC} V_{ink} + V_{outk-1} \quad (\text{F.26})$$

$$V_{outk} = \frac{RC}{RC + \Delta t} \cdot \frac{\Delta t}{RC} \cdot V_{ink} + \frac{RC}{RC + \Delta t} V_{outk-1} \quad (\text{F.27})$$

Finalment, s'arriba a l'expressió F.28 on es troba aïllada la sortida del filtre en funció de tots els paràmetres característics del mateix (període de mostreig i constant de temps).

$$V_{outk} = \frac{\Delta t}{RC + \Delta t} \cdot V_{ink} + \frac{RC}{RC + \Delta t} V_{outk-1} \quad (\text{F.28})$$

De l'equació F.28 es definiran les dues constants del filtre, les quals inclouran l'increment de temps (període de mostreig) i la constant de temps del filtre (veure equacions F.29 i F.30).

$$K_1 = \frac{\Delta t}{\tau + \Delta t} \quad (\text{F.29})$$

$$K_2 = \frac{\tau}{\tau + \Delta t} = (1 - K_1) \quad (\text{F.30})$$

Així, el filtre implementat respondrà a l'equació F.31 amb les constants anteriors.

$$V_{outk} = K_1 \cdot V_{ink} + K_2 \cdot V_{outk-1} \quad (\text{F.31})$$

## F.2.2 Sintonització del filtre

En la sintonització del filtre és important centrar-se en la constant de temps del filtre perquè serà el paràmetre que indicarà la rapidesa en que variarà la sortida front una variació d'entrada, és a dir, quant de filtrat estarà el senyal.

Tal com s'observa a l'expressió F.31, com més gran sigui la constant  $K_1$  més es filtrarà el senyal d'entrada fins arribar al límit d'un, on es filtrarà al 100% el retard. En aquest cas, s'establirà una constant  $K_1$  de 0,95 obtenint uns paràmetres del filtre indicats a les expressions F.32, F.33 i F.34. Cal tenir en compte que l'increment de temps correspondrà al temps de mostreig el qual serà de 400 ms.

$$\tau = \frac{\Delta t - K_1 \cdot \Delta t}{K} = \frac{0,4 - 0,95 \cdot 0,4}{0,95} = 0,021 \quad (\text{F.32})$$

$$\omega = \frac{2 \cdot \pi}{\tau} = 300 \frac{\text{rad}}{\text{s}} \quad (\text{F.33})$$

$$f = \frac{1}{\tau} = 47,5 \text{ Hz} \quad (\text{F.34})$$